

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Katsuyuki HORITA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE HAVING VERTICAL TRANSISTOR

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-038056

MONTH/DAY/YEAR

February 17, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

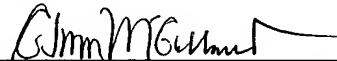
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月17日

出 願 番 号

Application Number:

特願2003-038056

[ST.10/C]:

[JP 2003-038056]

出 願 人

Applicant(s):

三菱電機株式会社

2003年 3月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3014175

【書類名】 特許願

【整理番号】 542927JP01

【提出日】 平成15年 2月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 堀田 勝之

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 黒井 隆

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 北澤 雅志

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の主面内に部分的に形成され、素子形成領域を規定する素子分離絶縁膜と、

前記素子形成領域内における前記半導体基板の前記主面の一部と、該一部に繋がる前記素子分離絶縁膜の主面の一部とを掘り下げることによって形成された凹部と、

前記半導体基板の第 1 領域内に形成され、ゲート構造、第 1 のソース・ドレイン領域、及び第 2 のソース・ドレイン領域を有する第 1 のトランジスタとを備え、

前記素子形成領域内における前記半導体基板は、前記凹部が形成されている第 1 部分と、前記凹部が形成されていない第 2 部分とを有しており、

前記素子分離絶縁膜は、前記凹部が形成されている第 1 部分と、前記凹部が形成されていない第 2 部分とを有しており、

前記半導体基板の前記第 2 部分の側面内に、チャネル形成領域が規定されており、

前記第 1 のソース・ドレイン領域及び前記第 2 のソース・ドレイン領域は、前記チャネル領域を挟んで互いに対向しており、

前記ゲート構造は、前記半導体基板の前記第 2 部分の前記側面及び前記素子分離絶縁膜の前記第 2 部分の側面に接して、前記半導体基板の前記第 1 部分上及び前記素子分離絶縁膜の前記第 1 部分上に延在して形成されている、半導体装置。

【請求項 2】 前記素子分離絶縁膜の前記第 1 部分上に形成されている部分の前記ゲート構造上に形成された第 1 のコンタクトプラグをさらに備える、請求項 1 に記載の半導体装置。

【請求項 3】 前記素子分離絶縁膜の前記第 1 部分上に部分的に形成され、前記ゲート構造に接続された、平板型の導電膜をさらに備える、請求項 1 に記載の半導体装置。

【請求項 4】 前記平板型の導電膜上に形成された第 1 のコンタクトプラグをさらに備える、請求項 3 に記載の半導体装置。

【請求項 5】 前記第 1 のソース・ドレイン領域は、前記半導体基板の前記第 1 部分内に形成されており、

前記第 2 のソース・ドレイン領域は、前記半導体基板の前記第 2 部分内に形成されており、

前記半導体基板の前記第 2 部分は、前記素子分離絶縁膜の前記第 2 部分とは反対方向に前記半導体基板の前記第 2 部分から突出した突出部分を有しており、

前記突出部分上に形成された第 2 のコンタクトプラグをさらに備える、請求項 2 ～ 4 のいずれか一つに記載の半導体装置。

【請求項 6】 前記第 1 のソース・ドレイン領域上に形成された第 2 のコンタクトプラグと、

前記第 2 のコンタクトプラグ上に形成された配線と、

前記第 2 のソース・ドレイン領域上に形成された第 3 のコンタクトプラグと、

前記第 3 のコンタクトプラグ上に形成されたキャパシタと

をさらに備える、請求項 2 ～ 4 のいずれか一つに記載の半導体装置。

【請求項 7】 前記第 1 のトランジスタは複数であり、

複数の前記第 1 のトランジスタは、前記素子分離絶縁膜を間に挟みつつ、所定方向に並んで形成されており、

前記ゲート構造は、複数の前記第 1 のトランジスタによって共有されている、請求項 6 に記載の半導体装置。

【請求項 8】 前記半導体基板の前記第 2 部分の断面は、凸状構造を有しており、

前記凸状構造の互いに対向する 2 つの側面の双方に接して、前記ゲート構造が形成されている、請求項 1 ～ 7 のいずれか一つに記載の半導体装置。

【請求項 9】 前記半導体基板の第 2 領域内に形成された第 2 のトランジスタをさらに備え、

前記第 2 のトランジスタは、

前記半導体基板の前記主面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記半導体基板の前記主面内に形成され、前記ゲート電極の下方のチャネル形成領域を挟んで対を成すソース・ドレイン領域とを有する、請求項 1 ～ 8 のいずれか一つに記載の半導体装置。

【請求項 1 0】 前記第 1 のトランジスタは、前記ゲート構造内にゲート絶縁膜を有しており、

前記第 1 のトランジスタが有する前記ゲート絶縁膜の膜厚と、前記第 2 のトランジスタが有する前記ゲート絶縁膜の膜厚とは互いに等しい、請求項 9 に記載の半導体装置。

【請求項 1 1】 (a) 素子形成領域を規定する素子分離絶縁膜を、前記半導体基板の主面内に部分的に形成する工程と、

(b) 前記素子形成領域内における前記半導体基板の前記主面の一部と、該一部に繋がる前記素子分離絶縁膜の主面の一部とを掘り下げることによって、凹部を形成する工程と、

(c) 前記半導体基板の第 1 領域内に、ゲート構造、第 1 のソース・ドレイン領域、及び第 2 のソース・ドレイン領域を有する第 1 のトランジスタを形成する工程とを備え、

前記凹部の形成によって、前記素子形成領域内における前記半導体基板には、前記凹部が形成されている第 1 部分と、前記凹部が形成されていない第 2 部分とが規定され、前記素子分離絶縁膜には、前記凹部が形成されている第 1 部分と、前記凹部が形成されていない第 2 部分とが規定され、

前記工程 (c) は、

(c-1) 前記半導体基板の前記第 1 部分内に、前記第 1 のソース・ドレイン領域を形成する工程と、

(c-2) 前記半導体基板の前記第 2 部分内に、前記第 2 のソース・ドレイン領域を形成する工程と、

(c-3) 前記工程 (b) よりも後に実行され、絶縁膜を全面的に形成する工程と、

(c-4) 前記絶縁膜上に導電膜を全面的に形成する工程と、

(c-5) 前記導電膜に対してエッチバックを行うことにより、前記半導体基板の前記第2部分の前記側面及び前記素子分離絶縁膜の前記第2部分の側面に接して、前記半導体基板の前記第1部分上及び前記素子分離絶縁膜の前記第1部分上に延在する前記ゲート構造を形成する工程と
を有する、半導体装置の製造方法。

【請求項12】 (d) 前記素子分離絶縁膜の前記第1部分上に形成されている部分の前記ゲート構造上に、第1のコンタクトプラグを形成する工程をさらに備える、請求項11に記載の半導体装置の製造方法。

【請求項13】 前記工程(c-5)においては、前記導電膜の所定領域上にマスク材が形成された後に前記エッチバックが行われることにより、前記ゲート構造に接続された平板型の導電膜が、前記素子分離絶縁膜の前記第1部分上に併せて形成される、請求項11に記載の半導体装置の製造方法。

【請求項14】 (d) 前記平板型の導電膜上に第1のコンタクトプラグを形成する工程をさらに備える、請求項13に記載の半導体装置の製造方法。

【請求項15】 前記工程(a)においては、前記半導体基板の前記第2部分が、前記素子分離絶縁膜の前記第2部分とは反対方向に前記半導体基板の前記第2部分から突出した突出部分を有するようなパターンの前記素子分離絶縁膜が形成され、

(e) 前記突出部分上に第2のコンタクトプラグを形成する工程をさらに備える、請求項12～14のいずれか一つに記載の半導体装置の製造方法。

【請求項16】 (e) 前記第1のソース・ドレイン領域上に第2のコンタクトプラグを形成する工程と、

(f) 前記第2のコンタクトプラグ上に配線を形成する工程と、

(g) 前記第2のソース・ドレイン領域上に第3のコンタクトプラグを形成する工程と、

(h) 前記第3のコンタクトプラグ上にキャパシタを形成する工程と
をさらに備える、請求項12～14のいずれか一つに記載の半導体装置の製造方法。

【請求項 1 7】 前記第 1 のトランジスタは複数であり、

前記工程 (c) においては、複数の前記第 1 のトランジスタが、前記素子分離絶縁膜を間に挟みつつ、所定方向に並んで形成され、

前記ゲート構造は、複数の前記第 1 のトランジスタによって共有されている、請求項 1 6 に記載の半導体装置の製造方法。

【請求項 1 8】 前記工程 (b) においては、前記半導体基板の前記第 2 部分の断面が凸状構造を有するようなパターンの前記凹部が形成され、

前記工程 (c-5) においては、前記凸状構造の互いに対向する 2 つの側面の双方に接して、前記ゲート構造が形成される、請求項 1 1 ~ 1 7 のいずれか一つに記載の半導体装置の製造方法。

【請求項 1 9】 (x) 前記半導体基板の第 2 領域内に第 2 のトランジスタを形成する工程をさらに備え、

前記工程 (x) は、

(x-1) 前記工程 (c-3) と同一の工程として実行され、前記半導体基板の前記主面上にゲート絶縁膜を形成する工程と、

(x-2) 前記工程 (c-4) と同一の工程として実行され、前記ゲート絶縁膜上に導電膜を形成する工程と、

(x-3) 前記工程 (c-5) と同一の工程として実行され、前記工程 (x-2) で形成された前記導電膜の所定領域上にマスク材を形成した後に前記エッチバックを行うことにより、ゲート電極を形成する工程と、

(x-4) 前記ゲート電極の下方のチャンネル形成領域を挟んで対を成すソース・ドレイン領域を、前記半導体基板の前記主面内に形成する工程とを有する、請求項 1 1 ~ 1 8 のいずれか一つに記載の半導体装置の製造方法。

【請求項 2 0】 前記工程 (c-3) 及び前記工程 (x-1) においては、面方位とは無関係に、酸化速度が全ての方向に関して一定となる酸化法によって、前記絶縁膜及び前記ゲート絶縁膜が形成される、請求項 1 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体装置及びその製造方法に関し、特に、サイドウォール型のゲート電極を有する縦型トランジスタの構造及び製造方法、並びに、縦型トランジスタを用いたDRAMキャパシタの構造及び製造方法に関するものである。

【0002】

【従来の技術】

従来の縦型トランジスタは、半導体基板と、素子形成領域内における半導体基板の上面内に部分的に形成された凹部と、凹部の底面内に形成された第1のソース・ドレイン領域と、凹部が形成されていない部分の半導体基板の上面内に形成された第2のソース・ドレイン領域と、ゲート絶縁膜を挟んで凹部の側面に形成されたサイドウォール型のゲート電極とを備えている（例えば、特許文献1参照）。

【0003】

【特許文献1】

特開平10-65160号公報

【0004】

【発明が解決しようとする課題】

しかしながら、従来の縦型トランジスタにおいて、ゲート電極に接続されるコンタクトプラグを素子形成領域内に形成したのでは、コンタクトプラグと第1又は第2のソース・ドレイン領域とが電氣的にショートするおそれがあるという問題がある。

【0005】

本発明はかかる問題を解決するために成されたものであり、縦型トランジスタ及び縦型トランジスタを用いたDRAMキャパシタに関して、ゲート電極に接続されるコンタクトプラグとソース・ドレイン領域とが電氣的にショートすることを回避し得る、半導体装置及びその製造方法を得ることを目的とする。

【0006】

【課題を解決するための手段】

第1の発明によれば、半導体装置は、半導体基板と、半導体基板の主面内に部

分的に形成され、素子形成領域を規定する素子分離絶縁膜と、素子形成領域内における半導体基板の主面の一部と、該一部に繋がる素子分離絶縁膜の主面の一部とを掘り下げることによって形成された凹部と、半導体基板の第1領域内に形成され、ゲート構造、第1のソース・ドレイン領域、及び第2のソース・ドレイン領域を有する第1のトランジスタとを備え、素子形成領域内における半導体基板は、凹部が形成されている第1部分と、凹部が形成されていない第2部分とを有しており、素子分離絶縁膜は、凹部が形成されている第1部分と、凹部が形成されていない第2部分とを有しており、半導体基板の第2部分の側面内に、チャンネル形成領域が規定されており、第1のソース・ドレイン領域及び第2のソース・ドレイン領域は、チャンネル領域を挟んで互いに対向しており、ゲート構造は、半導体基板の第2部分の側面及び素子分離絶縁膜の第2部分の側面に接して、半導体基板の第1部分上及び素子分離絶縁膜の第1部分上に延在して形成されている。

【0007】

第2の発明によれば、半導体装置の製造方法は、(a)素子形成領域を規定する素子分離絶縁膜を、半導体基板の主面内に部分的に形成する工程と、(b)素子形成領域内における半導体基板の主面の一部と、該一部に繋がる素子分離絶縁膜の主面の一部とを掘り下げることによって、凹部を形成する工程と、(c)半導体基板の第1領域内に、ゲート構造、第1のソース・ドレイン領域、及び第2のソース・ドレイン領域を有する第1のトランジスタを形成する工程とを備え、凹部の形成によって、素子形成領域内における半導体基板には、凹部が形成されている第1部分と、凹部が形成されていない第2部分とが規定され、素子分離絶縁膜には、凹部が形成されている第1部分と、凹部が形成されていない第2部分とが規定され、工程(c)は、(c-1)半導体基板の第1部分内に、第1のソース・ドレイン領域を形成する工程と、(c-2)半導体基板の第2部分内に、第2のソース・ドレイン領域を形成する工程と、(c-3)工程(b)よりも後に実行され、絶縁膜を全面的に形成する工程と、(c-4)絶縁膜上に導電膜を全面的に形成する工程と、(c-5)導電膜に対してエッチバックを行うことにより、半導体基板の第2部分の側面及び素子分離絶縁膜の第2部分の側面に接し

て、半導体基板の第 1 部分上及び素子分離絶縁膜の第 1 部分上に延在するゲート構造を形成する工程とを有する。

【 0 0 0 8 】

【発明の実施の形態】

実施の形態 1.

以下、DRAM/ロジック混載型のシステム L S I を対象として、本発明の実施の形態 1 に係る半導体装置及びその製造方法について説明する。

【 0 0 0 9 】

図 1 ～図 1 6 は、DRAM メモリセルが形成されるメモリセル領域に関して、本実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。図 1 (B) ～図 1 6 (B) は、それぞれ上面図を示しており、図 1 (A) ～図 1 6 (A) は、図 1 (B) ～図 1 6 (B) 中にそれぞれ示したライン I A ～ライン X V I A に沿った位置に関する断面図を示している。

【 0 0 1 0 】

図 1 を参照して、まず、周知のトレンチ分離技術によって、200 ～400 n m 程度の膜厚を有する素子分離絶縁膜 2 を、シリコン基板 1 の上面内に部分的に形成する。素子分離絶縁膜 2 の材質は、シリコン酸化膜である。次に、ウェル領域 (図示しない) の形成、及びトランジスタのしきい値電圧の設定のために、イオン注入法によってシリコン基板 1 内に不純物を注入する。

【 0 0 1 1 】

図 2 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、シリコン基板 1 の上面の一部と、該一部に繋がる素子分離絶縁膜 2 の上面の一部とを、50 ～150 n m 程度掘り下げることにより、凹部 3 を形成する。図 2 (B) には、凹部 3 が形成されている部分にハッチングを施している。以下、本明細書においては、素子形成領域内におけるシリコン基板 1 のうち、凹部 3 が形成されている部分を「第 1 部分」と称し、凹部 3 が形成されていない部分を「第 2 部分」と称する。また、素子分離絶縁膜 2 のうち、凹部 3 が形成されている部分を「第 1 部分」と称し、凹部 3 が形成されていない部分を「第 2 部分」と称する。図 2 (A) に示すように、シリコン基板 1 の第 2 部分は、凸状の断面形状を有

している。後述するダブルゲート構造による電界効果を得るためには、シリコン基板 1 の第 2 部分の幅（短辺）が 1 0 0 n m 以下に設定されるのが望ましい。図 2（A）には表れないが、素子分離絶縁膜 2 の第 2 部分も、同様に凸状の断面形状を有している。

【 0 0 1 2 】

図 3 を参照して、次に、ラジカルを用いた酸化法等によって、シリコン基板 1 の表面上に、シリコン酸化膜 4 を形成する。

【 0 0 1 3 】

図 4 を参照して、次に、イオン注入法によって、リン等の不純物を、エネルギーが 1 0 ～ 2 0 k e V 程度、濃度が $1 \sim 5 \times 10^{13} / \text{cm}^2$ 程度の条件で、シリコン酸化膜 4 を介してシリコン基板 1 内に注入する。これにより、シリコン基板 1 の第 1 部分の上面内にドレイン領域 5 が形成されるとともに、シリコン基板 1 の第 2 部分の上面内にソース領域 6 が形成される。シリコン基板 1 の第 2 部分の側面付近はチャネル形成領域として規定され、ドレイン領域 5 とソース領域 6 とは、チャネル形成領域を挟んで互いに対向している。なお、ドレイン領域 5 及びソース領域 6 は、後述のサイドウォール型のポリシリコン膜を形成した後に、形成してもよい。

【 0 0 1 4 】

図 5 を参照して、次に、C V D 法によって、リン等の不純物が $1 \sim 5 \times 10^{20} / \text{cm}^3$ 程度の濃度で含まれたポリシリコン膜 7 を、全面的に堆積する。ポリシリコン膜 7 の膜厚は、5 0 ～ 1 5 0 n m 程度である。次に、写真製版法によって、素子分離絶縁膜 2 の第 1 部分の上方において、フォトレジスト 8 をポリシリコン膜 7 上に部分的に形成する。

【 0 0 1 5 】

図 6 を参照して、次に、シリコン酸化膜 4 が露出するまで、ポリシリコン膜 7 に対してエッチバックを行う。これにより、サイドウォール型のポリシリコン膜 9 が形成され、メモリセルトランジスタが完成する。このとき、ポリシリコン膜 9 とソース領域 6 とのオーバーラップ量が例えば 0 ～ 2 0 n m 程度になるように、ポリシリコン膜 7 のエッチング量が調整される。ポリシリコン膜 9 は、ゲート

電極として機能する。また、ポリシリコン膜 9 とシリコン基板 1 とによって挟まれている部分のシリコン酸化膜 4 は、ゲート絶縁膜として機能する。ゲート電極とゲート絶縁膜とを有するゲート構造は、シリコン基板 1 の第 2 部分の側面及び素子分離絶縁膜 2 の第 2 部分の側面に接して、シリコン基板 1 の第 1 部分上及び素子分離絶縁膜 2 の第 1 部分上に延在して形成されている。

【 0 0 1 6 】

また、ポリシリコン膜 7 のエッチバックを行う際に、フォトレジスト 8 はエッチングマスクとして機能する。これにより、フォトレジスト 8 で覆われることによってエッチングされなかった部分のポリシリコン膜 7 として、平板型のポリシリコン膜 1 0 が形成される。図 6 (B) に示すように、ポリシリコン膜 1 0 は、素子分離絶縁膜 2 の第 1 部分上に形成されている。また、ポリシリコン膜 1 0 は、ポリシリコン膜 9 に接続されている。その後、フォトレジスト 8 は除去される。

【 0 0 1 7 】

図 6 に示すように、本実施の形態 1 に係る半導体装置では、複数のメモリセルトランジスタが、第 1 方向（紙面の左右方向）及び第 2 方向（紙面の上下方向）に並んで、マトリクス状に形成されている。第 2 方向に並ぶメモリセルトランジスタ同士の間には、素子分離絶縁膜 2 が形成されている。ゲート電極として機能するポリシリコン膜 9 と、ポリシリコン膜 9 に接続されたポリシリコン膜 1 0 とは、第 2 方向に並ぶ複数のメモリセルトランジスタによって共有されている。

【 0 0 1 8 】

また、本実施の形態 1 に係るメモリセルトランジスタでは、ダブルゲート構造が採用されており、シリコン基板 1 の第 2 部分の互いに対向する 2 つの側面の双方に接して、ゲート構造が形成されている。但し、必ずしもダブルゲート構造が採用されている必要はない。

【 0 0 1 9 】

図 7 を参照して、次に、CVD 法によって、50～150 nm 程度の膜厚を有するシリコン窒化膜 1 1 を、全面的に堆積する。

【 0 0 2 0 】

図 8 を参照して、次に、シリコン窒化膜 1 1 をエッチバックすることにより、サイドウォール 1 2 を形成する。このときのエッチングによってシリコン酸化膜 4 の一部も併せて除去されて、シリコン酸化膜 1 3 が形成される。これにより、ソース領域 6 の上面と、ドレイン領域 5 の上面の一部とが露出する。また、シリコン窒化膜 1 1 のエッチバックによって、ポリシリコン膜 1 0 の上面も露出される。

【 0 0 2 1 】

図 9 を参照して、次に、CVD 法によって、200～500 nm 程度の膜厚を有するシリコン酸化膜 1 4 を、全面的に堆積する。次に、必要に応じて、CMP (Chemical Mechanical Polishing) 法によってシリコン酸化膜 1 4 の上面を平坦化する。

【 0 0 2 2 】

図 1 0 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、ドレイン領域 5 に繋がるコンタクトホールを、シリコン酸化膜 1 4 内に自己整合的に形成する。次に、CVD 法によって、コンタクトホール内を完全に充填し得る膜厚でポリシリコン膜を全面的に形成する。次に、そのポリシリコン膜をエッチバックすることによって、コンタクトプラグ 1 5 を形成する。

【 0 0 2 3 】

図 1 1 を参照して、次に、PVD 法によって、50～200 nm 程度の膜厚を有するタングステン膜を、全面的に堆積する。次に、写真製版法及び異方性ドライエッチング法によって、そのタングステン膜をパターニングすることにより、ビットライン 1 6 を形成する。ビットライン 1 6 は、コンタクトプラグ 1 5 に接続されている。

【 0 0 2 4 】

図 1 2 を参照して、次に、CVD 法によって、200～500 nm 程度の膜厚を有するシリコン酸化膜 1 7 を、全面的に堆積する。次に、写真製版法及び異方性ドライエッチング法によって、ソース領域 6 に繋がるコンタクトホールを、シリコン酸化膜 1 4, 1 7 内に形成する。次に、CVD 法によって、コンタクトホール内を完全に充填し得る膜厚でポリシリコン膜を全面的に形成する。次に、そ

のポリシリコン膜をエッチバックすることによって、コンタクトプラグ 1 8 を形成する。

【 0 0 2 5 】

図 1 3 を参照して、次に、CVD 法によって、500～2000 nm 程度の膜厚を有するシリコン酸化膜 1 9 を、全面的に形成する。

【 0 0 2 6 】

図 1 4 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、シリコン酸化膜 1 9 内に凹部 2 0 を形成する。凹部 2 0 の底面内には、コンタクトプラグ 1 8 が露出している。

【 0 0 2 7 】

図 1 5 を参照して、次に、全面的に堆積した導電膜をパターニングすることにより、キャパシタ下部電極 2 1 を形成する。キャパシタ下部電極 2 1 は、コンタクトプラグ 1 8 の上面に接して、凹部 2 2 の側面及び底面上に形成されている。

【 0 0 2 8 】

図 1 6 を参照して、次に、絶縁膜及び導電膜をこの順に全面的に形成した後、これらの膜をパターニングすることにより、キャパシタ誘電体膜 2 2 及びキャパシタ上部電極 2 3 を形成する。これにより、DRAM キャパシタが完成する。キャパシタ上部電極 2 3 は、キャパシタ誘電体膜 2 2 を挟んでキャパシタ下部電極 2 1 に対向している。

【 0 0 2 9 】

その後、配線工程が行われて、半導体装置が完成する。配線工程においては、ビットライン 1 6、ゲート電極として機能するポリシリコン膜 9、及びキャパシタ上部電極 2 3 と、上層の配線層（図示しない）とをそれぞれ接続するための複数のコンタクトプラグが形成される。図 1 6（B）には、上層の配線層とポリシリコン膜 9 とを接続するためのコンタクトプラグ 2 4 が示されている。コンタクトプラグ 2 4 は、シリコン酸化膜 1 4、1 7、1 9 内に形成されている。また、コンタクトプラグ 2 4 は、ポリシリコン膜 1 0 上に形成されている。上層の配線層は、コンタクトプラグ 2 4 及びポリシリコン膜 1 0 を介して、ポリシリコン膜 9 に接続されている。

【 0 0 3 0 】

図 1 7 ～ 図 2 6 は、ロジック回路が形成されるロジック領域に関して、本実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。図 1 7 (B) ～ 図 2 6 (B) は、それぞれ上面図を示しており、図 1 7 (A) ～ 図 2 6 (A) は、図 1 7 (B) ～ 図 2 6 (B) 中にそれぞれ示したライン XVII A ～ ライン XXVI A に沿った位置に関する断面図を示している。

【 0 0 3 1 】

図 1 7 に示す工程は、図 1 に示した工程と同一の工程として実行される。シリコン基板 1 の上面内に、素子分離絶縁膜 2 が部分的に形成される。

【 0 0 3 2 】

図 2 に示した工程が実行されている間、ロジック領域はフォトレジストによって覆われている。これにより、ロジック領域には凹部 3 が形成されない。メモリセル領域において凹部 3 の形成が完了した後、フォトレジストは除去される。

【 0 0 3 3 】

図 1 8 に示す工程は、図 3 に示した工程と同一の工程として実行される。素子形成領域内におけるシリコン基板 1 の上面上に、シリコン酸化膜 4 が形成される。上記の通り、シリコン酸化膜 4 は、ラジカルを用いた酸化法によって形成される。ラジカルを用いた酸化法によると、面方位とは無関係に、酸化速度が全ての方向に関してほぼ一定となる。従って、メモリセル領域とロジック領域とで、シリコン酸化膜 4 の膜厚を互いに等しくすることができる。

【 0 0 3 4 】

図 4 に示した工程が実行されている間、ロジック領域はフォトレジストによって覆われている。これにより、ロジック領域にはドレイン領域 5 及びソース領域 6 は形成されない。メモリセル領域においてドレイン領域 5 及びソース領域 6 の形成が完了した後、フォトレジストは除去される。

【 0 0 3 5 】

図 1 9 に示す工程は、図 5 に示した工程と同一の工程として実行される。ポリシリコン膜 7 が全面的に形成される。また、ポリシリコン膜 7 上に、フォトレジスト 3 8 が部分的に形成される。フォトレジスト 3 8 は、フォトレジスト 8 を形

成するための写真製版工程によって併せて形成される。

【 0 0 3 6 】

図 2 0 に示す工程は、図 6 に示した工程と同一の工程として実行される。ポリシリコン膜 7 がパターンニングされて、ゲート電極として機能するポリシリコン膜 3 9 が形成される。次に、イオン注入法によって、リン等の不純物を、エネルギーが $10 \sim 20 \text{ keV}$ 程度、濃度が $1 \sim 5 \times 10^{13} / \text{cm}^2$ 程度の条件で、シリコン酸化膜 4 を介してシリコン基板 1 内に注入する。これにより、ゲート電極の下方のチャネル形成領域を挟んで対を成すソース・ドレイン領域 3 5 が形成される。このイオン注入工程の間、メモリセル領域はフォトレジストによって覆われている。その結果、メモリセル領域にはソース・ドレイン領域 3 5 が形成されない。但し、図 4 に示した工程でドレイン領域 5 及びソース領域 6 を形成するのではなく、ソース・ドレイン領域 3 5 を形成するためのイオン注入工程においてメモリセル領域をフォトレジストで覆わないことによって、ソース・ドレイン領域 3 5 を形成する際にドレイン領域 5 及びソース領域 6 を併せて形成してもよい。

【 0 0 3 7 】

図 2 1 に示す工程は、図 7 に示した工程と同一の工程として実行される。シリコン窒化膜 1 1 が全面的に形成される。

【 0 0 3 8 】

図 2 2 に示す工程は、図 8 に示した工程と同一の工程として実行される。シリコン窒化膜 1 1 がエッチバックされて、ポリシリコン膜 3 9 の側面にサイドウォール 4 2 が形成される。このエッチングによってシリコン酸化膜 4 の一部が除去されて、ゲート絶縁膜として機能するシリコン酸化膜 4 3 が形成される。次に、イオン注入法によって、ヒ素等の不純物を、エネルギーが $10 \sim 50 \text{ keV}$ 程度、濃度が $1 \sim 5 \times 10^{15} / \text{cm}^2$ 程度の条件で、シリコン基板 1 内に注入する。これにより、シリコン基板 1 の上面内にソース・ドレイン領域 3 6 が形成されて、ロジック回路を構成する平面型のトランジスタが完成する。このイオン注入工程の間、メモリセル領域はフォトレジストによって覆われている。その結果、メモリセル領域にはソース・ドレイン領域 3 6 が形成されない。ロジック領域においてソース・ドレイン領域 3 6 の形成が完了した後、フォトレジストは除去され

る。

【 0 0 3 9 】

図 2 3 に示す工程は、図 9 に示した工程と同一の工程として実行される。シリコン酸化膜 1 4 が全面的に形成される。

【 0 0 4 0 】

図 1 0, 1 1 に示した工程に関して、ロジック領域にはコンタクトプラグ 1 5 及びビットライン 1 6 は形成されない。

【 0 0 4 1 】

図 2 4 に示す工程は、図 1 2 に示した工程と同一の工程として実行される。シリコン酸化膜 1 7 が全面的に形成される。但し、ロジック領域にはコンタクトプラグ 1 8 は形成されない。

【 0 0 4 2 】

図 2 5 に示す工程は、図 1 3 に示した工程と同一の工程として実行される。シリコン酸化膜 1 9 が全面的に形成される。

【 0 0 4 3 】

図 1 4 ～図 1 6 に示した工程に関して、ロジック領域には凹部 2 0、キャパシタ下部電極 2 1、キャパシタ誘電体膜 2 2、及びキャパシタ上部電極 2 3 は形成されない。

【 0 0 4 4 】

図 2 6 を参照して、コンタクトプラグ 5 4, 5 5 を形成する工程は、図 1 6 に示したコンタクトプラグ 2 4 を形成する工程と同一の工程として実行される。コンタクトプラグ 5 4 はソース・ドレイン領域 3 6 に接続されている。コンタクトプラグ 5 5 は、ゲート電極として機能するポリシリコン膜 3 9 に接続されている。

【 0 0 4 5 】

このように本実施の形態 1 に係る半導体装置及びその製造方法によると、ゲート構造に接続されるコンタクトプラグ 2 4 は、素子分離絶縁膜 2 の第 1 部分上に形成されている部分のゲート構造上に形成されている。その結果、コンタクトプラグ 2 4 とドレイン領域 5 及びソース領域 6 とが電氣的にショートすることを回

避できる。

【 0 0 4 6 】

また、縦型トランジスタと平面型のトランジスタとを、同一のシリコン基板 1 を用いて形成することができる。さらに、DRAMメモリセルのメモリセルトランジスタの 1 個当たりの面積を削減できるため、集積度を高めることができる。また、メモリセルトランジスタにおいてダブルゲート構造が採用されているため、微細化に起因してキャパシタ容量が減少しても、キャパシタからの電荷の漏れを抑制することができ、データの保持特性を良好に保つことができる。

【 0 0 4 7 】

図 2 7, 2 8 は、本実施の形態 1 の変形例に係る半導体装置の構造を示す上面図である。図 2 7 を参照して、図 6 に示した平板型のポリシリコン膜 1 0 は形成されておらず、シリコン基板 1 の第 2 部分と素子分離絶縁膜 2 の第 2 部分とから成る構造の周囲に沿って、サイドウォール型のポリシリコン膜 9 a が形成されている。

【 0 0 4 8 】

図 2 8 を参照して、ポリシリコン膜 1 0 上に形成されたコンタクトプラグ 2 4 (図 1 6) の代わりに、コンタクトプラグ 2 4 a が形成されている。コンタクトプラグ 2 4 a は、素子分離絶縁膜 2 の第 1 部分上に形成されている部分のゲート構造上に形成されている。

【 0 0 4 9 】

本実施の形態 1 の変形例に係る半導体装置によっても、コンタクトプラグ 2 4 a とドレイン領域 5 及びソース領域 6 とが電氣的にショートすることを回避できる。

【 0 0 5 0 】

実施の形態 2.

図 2 9 ~ 図 3 3 は、縦型トランジスタが形成される第 1 領域に関して、本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す図である。図 2 9 (B) ~ 図 3 3 (B) は、それぞれ上面図を示しており、図 2 9 (A) ~ 図 3 3 (A) は、図 2 9 (B) ~ 図 3 3 (B) 中にそれぞれ示したライン XXIXA ~ ライン X

XXIIIAに沿った位置に関する断面図を示している。但し、図 3 2 (B) では、シリコン酸化膜 4 の記載を省略しており、図 3 3 (B) では、シリコン酸化膜 6 1 の記載を省略している。

【 0 0 5 1 】

図 2 9 を参照して、まず、周知のトレンチ分離技術によって、200～400 nm 程度の膜厚を有する素子分離絶縁膜 2 a を、シリコン基板 1 の上面内に部分的に形成する。図 2 9 (B) に示すように、素子分離絶縁膜 2 a によって規定される素子形成領域は、第 1 部分 1 a、第 2 部分 1 b、及び第 3 部分 1 c を有している。第 1 部分 1 a 及び第 2 部分 1 b は、第 3 部分 1 c から突出している。第 1 部分 1 a と第 3 部分 1 c とは、第 2 部分 1 b を介して互いに接続されている。第 2 部分 1 b は、第 1 部分 1 a に接する側の幅よりも第 3 部分 1 c に接する側の幅のほうが広い、テーパ状の上面構造を有している。次に、ウェル領域（図示しない）の形成、及びトランジスタのしきい値電圧の設定のために、イオン注入法によってシリコン基板 1 内に不純物を注入する。

【 0 0 5 2 】

図 3 0 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、シリコン基板 1 の上面の一部と、該一部に繋がる素子分離絶縁膜 2 a の上面の一部とを、50～150 nm 程度掘り下げることにより、凹部 3 a を形成する。図 3 0 (B) には、凹部 3 a が形成されている部分にハッチングを施している。ダブルゲート構造による電界効果を得るためには、シリコン基板 1 の第 2 部分の幅が 100 nm 以下に設定されるのが望ましい。また、図 2 9 (B) に示したように、素子形成領域の第 2 部分 1 b の上面構造はテーパ状となっている。そのため、凹部 3 a を形成するための写真製版工程において、フォトマスクのアライメントが紙面の左右方向に若干ずれた場合であっても、ダブルゲート構造とならない領域が発生することを回避できる。

【 0 0 5 3 】

図 3 1 を参照して、次に、ラジカルを用いた酸化法等によって、シリコン基板 1 の表面上に、シリコン酸化膜 4 を形成する。次に、CVD 法によって、リン等の不純物が $1 \sim 5 \times 10^{20} / \text{cm}^3$ 程度の濃度で含まれたポリシリコン膜 7 を、

全面的に堆積する。ポリシリコン膜 7 の膜厚は、50～150 nm 程度である。次に、写真製版法によって、素子分離絶縁膜 2 の第 1 部分の上方において、フォトレジスト 8 a をポリシリコン膜 7 上に部分的に形成する。

【0054】

図 3 2 を参照して、次に、シリコン酸化膜 4 が露出するまで、ポリシリコン膜 7 に対してエッチバックを行う。これにより、ゲート電極として機能するサイドウォール型のポリシリコン膜 9 a が形成される。また、ポリシリコン膜 7 のエッチバックを行う際に、フォトレジスト 8 a はエッチングマスクとして機能する。これにより、フォトレジスト 8 a で覆われることによってエッチングされなかった部分のポリシリコン膜 7 として、平板型のポリシリコン膜 10 a が形成される。図 3 2 (B) に示すように、ポリシリコン膜 10 a は、素子分離絶縁膜 2 a の第 1 部分上に形成されている。また、ポリシリコン膜 10 a は、ポリシリコン膜 9 a に接続されている。その後、フォトレジスト 8 a は除去される。

【0055】

次に、イオン注入法によって、リン等の不純物を、エネルギーが 10～20 keV 程度、濃度が $1 \sim 5 \times 10^{13} / \text{cm}^2$ 程度の条件で、シリコン酸化膜 4 を介してシリコン基板 1 内に注入する。これにより、ソース・ドレイン領域 5 a, 6 a が形成される。なお、ソース・ドレイン領域 5 a, 6 a を形成するためのイオン注入は、図 3 1 に示した工程で、シリコン酸化膜 4 を形成した後、ポリシリコン膜 7 を堆積する前に実行してもよい。

【0056】

図 3 3 を参照して、次に、CVD 法によって、50～150 nm 程度の膜厚を有するシリコン窒化膜を、全面的に堆積する。次に、そのシリコン窒化膜をエッチバックすることにより、サイドウォール 12 を形成する。次に、イオン注入法によって、ヒ素等の不純物を、エネルギーが 10～50 keV 程度、濃度が $1 \sim 5 \times 10^{15} / \text{cm}^2$ 程度の条件で、シリコン基板 1 内に注入する。これにより、ソース・ドレイン領域 60 が形成され、縦型トランジスタが完成する。次に、シリコン酸化膜 61 を全面的に堆積した後、シリコン酸化膜 61 内にコンタクトプラグ 62～64 を形成する。コンタクトプラグ 62 は、ソース・ドレイン領域 6

0に接続されている。コンタクトプラグ63は、ソース・ドレイン領域6aに接続されている。コンタクトプラグ64は、ポリシリコン膜10aに接続されている。

【0057】

上記実施の形態1と同様に、本実施の形態2においても、縦型トランジスタが形成される第1領域とは別の第2領域内に、平面型のトランジスタを形成してもよい。図34は、シリコン基板1の第2領域内に形成されたトランジスタの構造を示す図である。図34(B)は上面図を示しており、図34(A)は、図34(B)中に示したラインXXXIVAに沿った位置に関する断面図を示している。

【0058】

ゲート絶縁膜として機能するシリコン酸化膜43は、図31に示したシリコン酸化膜4と同一の工程によって形成される。ゲート電極として機能するポリシリコン膜39は、図32に示したポリシリコン膜9a, 10aと同一の工程によって形成される。サイドウォール42は、図33に示したサイドウォール12と同一の工程によって形成される。ソース・ドレイン領域35は、図32に示したソース・ドレイン領域5a, 6aと同一の工程によって形成される。ソース・ドレイン領域36は、図33に示したソース・ドレイン領域60と同一の工程によって形成される。コンタクトプラグ54, 55は、図33に示したコンタクトプラグ62～64と同一の工程によって形成される。

【0059】

このように本実施の形態2に係る半導体装置及びその製造方法によると、ゲート構造に接続されるコンタクトプラグ64は、素子分離絶縁膜2aの第1部分上に形成されている部分のゲート構造上に形成されている。その結果、上記実施の形態1と同様に、コンタクトプラグ64とソース・ドレイン領域5a, 6aとが電氣的にショートすることを回避できる。

【0060】

また、ソース・ドレイン領域6aには、素子形成領域の第1部分1a及び第2部分1b(図29参照)に対応する突出部分が形成されており、コンタクトプラグ63は、その突出部分に接続されている。従って、コンタクトプラグ62に接

続される配線や、コンタクトプラグ 6 4 に接続される配線と電氣的にショートすることなく、コンタクトプラグ 6 3 に接続される配線を容易に形成することができる。

【 0 0 6 1 】

さらに、縦型トランジスタと平面型のトランジスタとを、同一のシリコン基板を用いて形成することができる。また、縦型トランジスタにおいてダブルゲート構造が採用されているため、漏れ電流を抑制でき、その結果、消費電力を低減することができる。

【 0 0 6 2 】

【発明の効果】

第 1 及び第 2 の発明によると、ゲート構造に接続されるコンタクトプラグを、素子分離絶縁膜の第 1 部分上に形成されている部分のゲート構造上に形成することにより、コンタクトプラグと第 1 又は第 2 のソース・ドレイン領域とが電氣的にショートすることを回避できる。

【図面の簡単な説明】

【図 1】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 2】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 3】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 4】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 5】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 6】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 7】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 8】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 9】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 1 0】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 1 1】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 1 2】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 1 3】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 1 4】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 1 5】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 1 6】 メモリセル領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 1 7】 ロジック領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 1 8】 ロジック領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 1 9】 ロジック領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 2 0】 ロジック領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 2 1】 ロジック領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 2 2】 ロジック領域に関して、本発明の実施の形態 1 に係る半導体装

置の製造方法を工程順に示す図である。

【図 2 3】 ロジック領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 2 4】 ロジック領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 2 5】 ロジック領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 2 6】 ロジック領域に関して、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す図である。

【図 2 7】 本発明の実施の形態 1 の変形例に係る半導体装置の構造を示す上面図である。

【図 2 8】 本発明の実施の形態 1 の変形例に係る半導体装置の構造を示す上面図である。

【図 2 9】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す図である。

【図 3 0】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す図である。

【図 3 1】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す図である。

【図 3 2】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す図である。

【図 3 3】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す図である。

【図 3 4】 平面型のトランジスタの構造を示す図である。

【符号の説明】

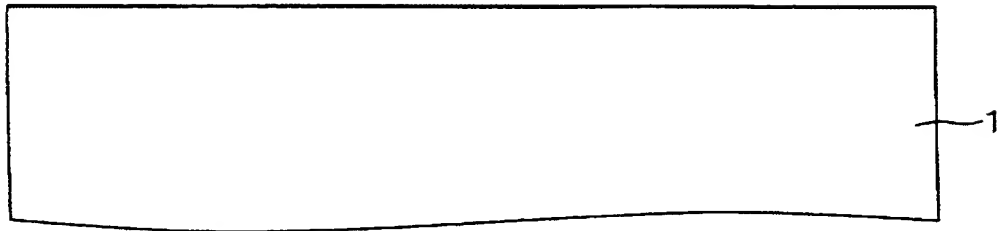
1 シリコン基板、2 素子分離絶縁膜、3, 3 a, 2 0 凹部、4, 1 3, 1 4, 1 7, 1 9, 4 3, 6 1 シリコン酸化膜、5 ドレイン領域、6 ソース領域、7, 9, 9 a, 1 0, 1 0 a, 3 9 ポリシリコン膜、8, 8 a, 3 8 フォトレジスト、1 1 シリコン窒化膜、1 2, 4 2 サイドウォール、1 5

， 1 8， 2 4， 2 4 a， 5 4， 5 5， 6 2 ～ 6 4 コンタクトプラグ、 1 6 ビットライン、 2 1 キャパシタ下部電極、 2 2 キャパシタ誘電体膜、 2 3 キャパシタ上部電極、 5 a， 6 a， 3 5， 3 6， 6 0 ソース・ドレイン領域。

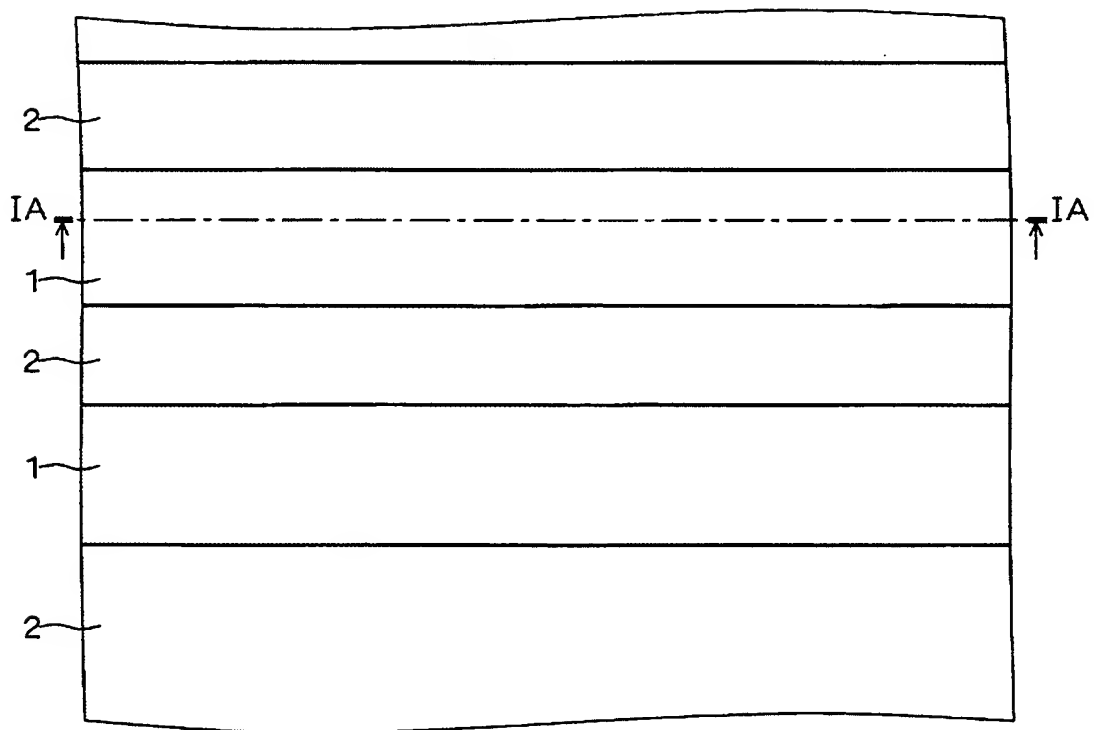
【書類名】 図面

【図 1】

(A)



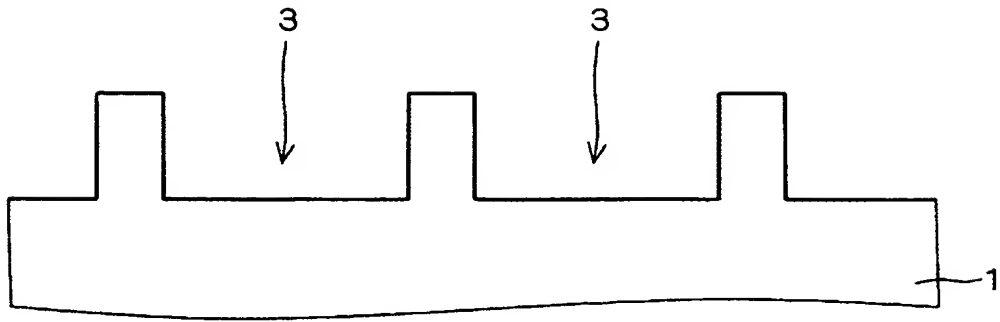
(B)



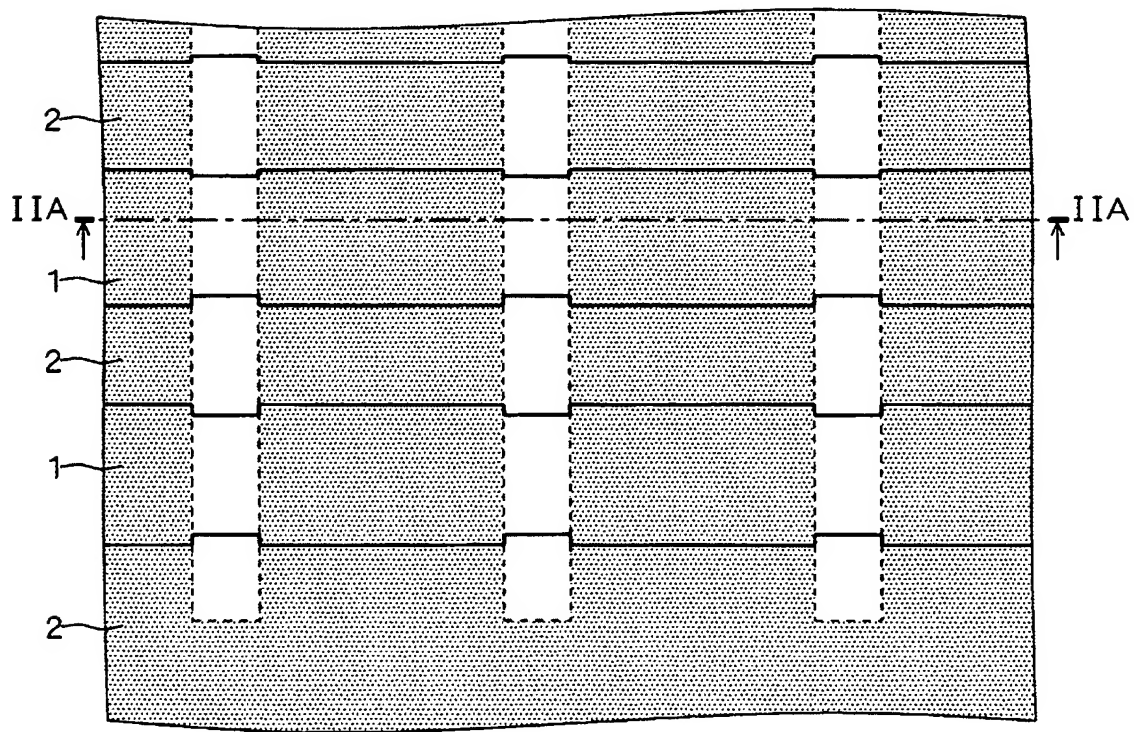
1 : シリコン基板 2 : 素子分離絶縁膜

【図 2】

(A)



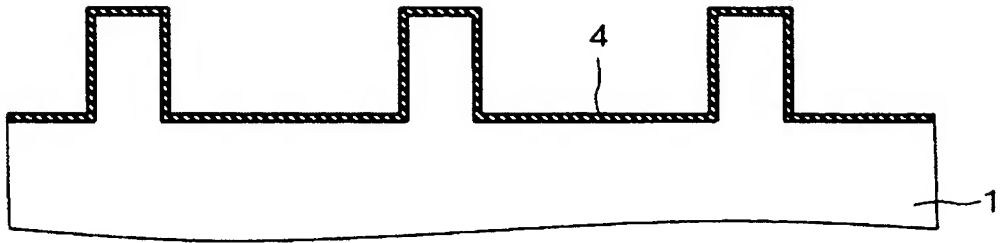
(B)



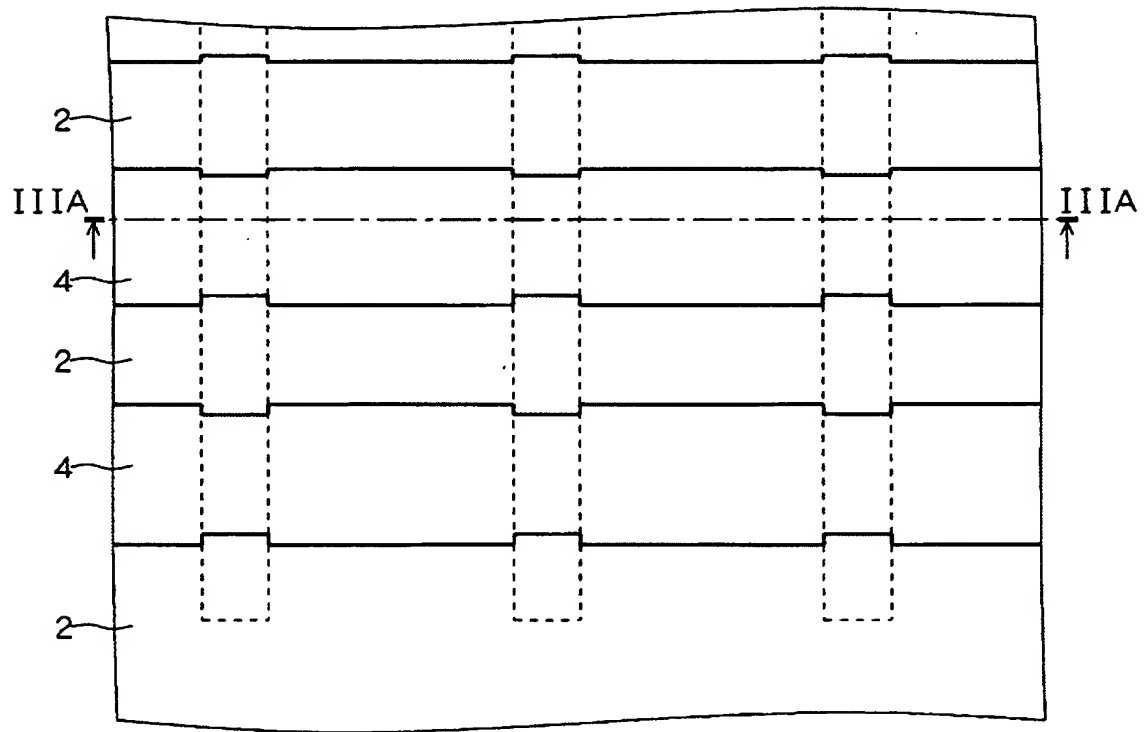
3 : 凹部

【図 3】

(A)



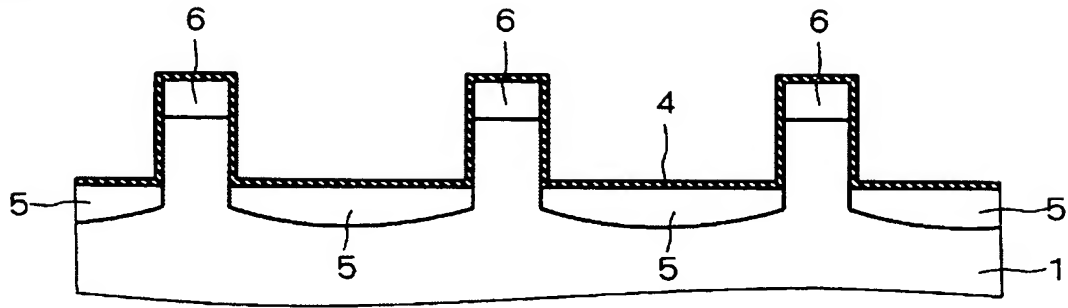
(B)



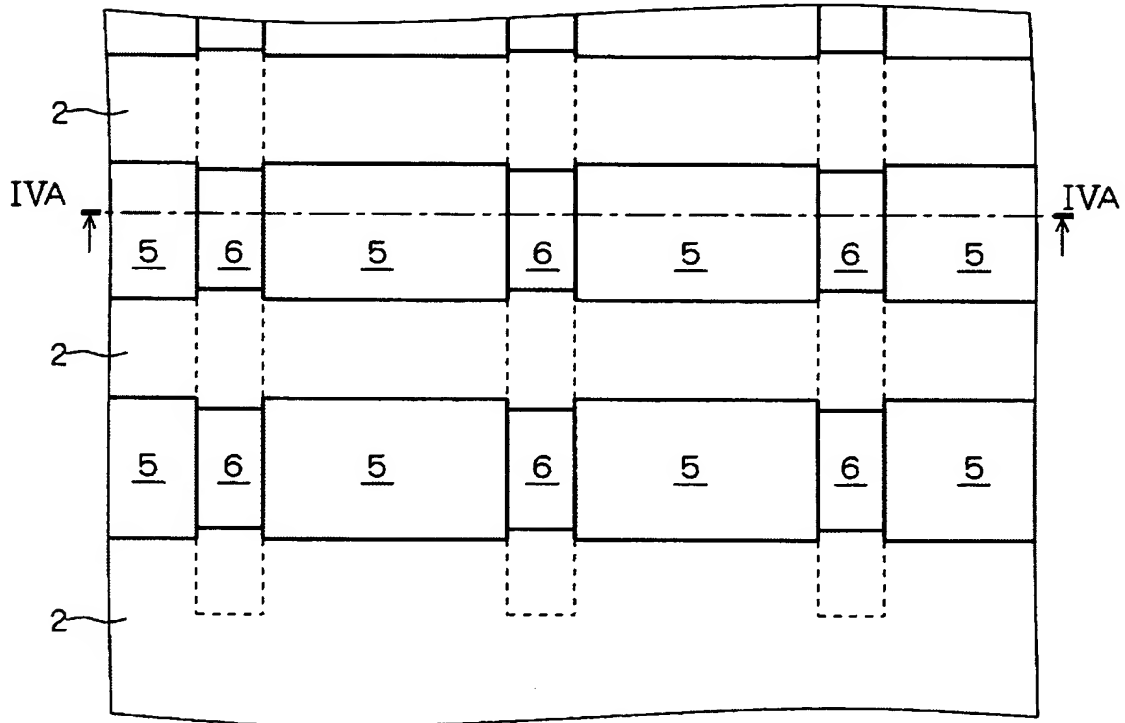
4 : シリコン酸化膜

【図 4】

(A)



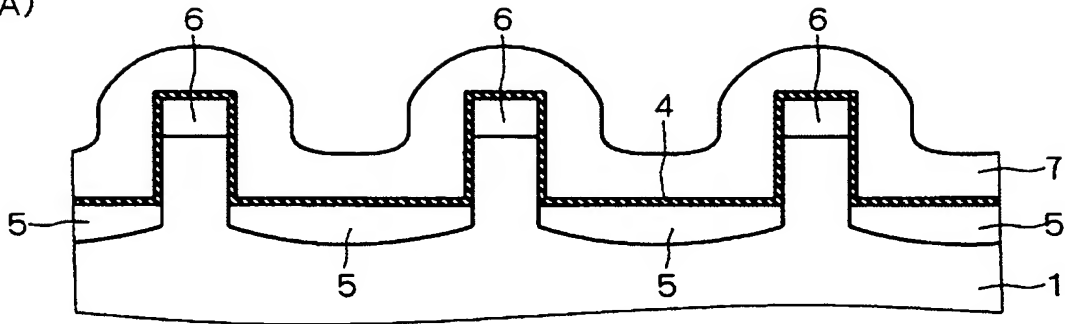
(B)



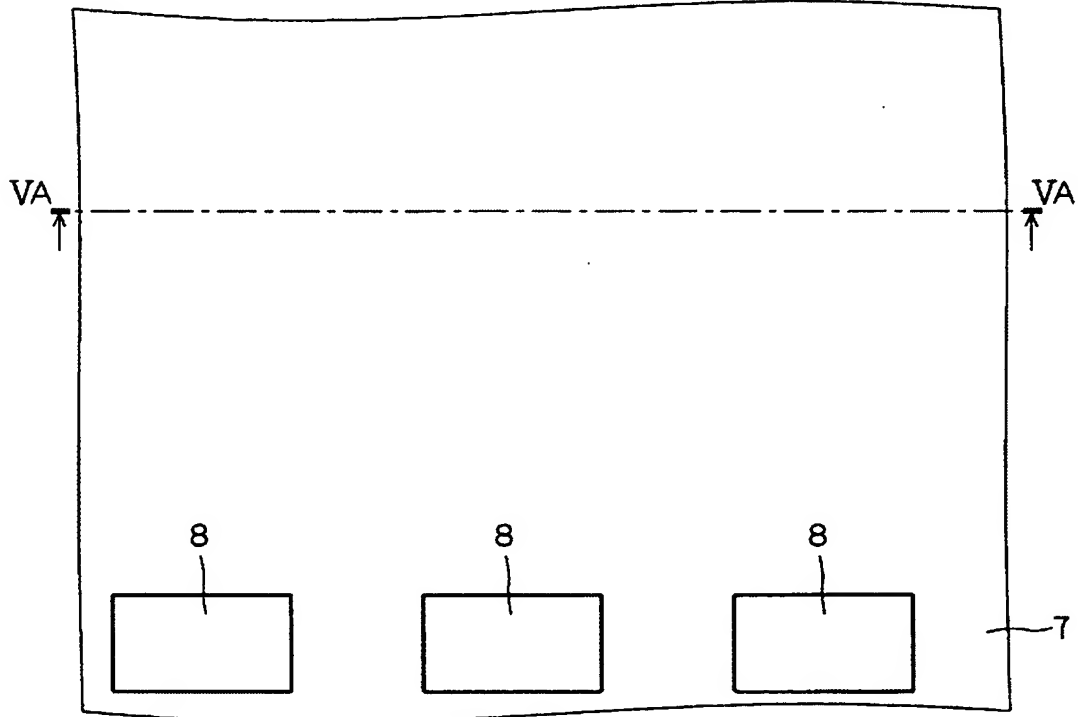
5 : ドレイン領域 6 : ソース領域

【図 5】

(A)



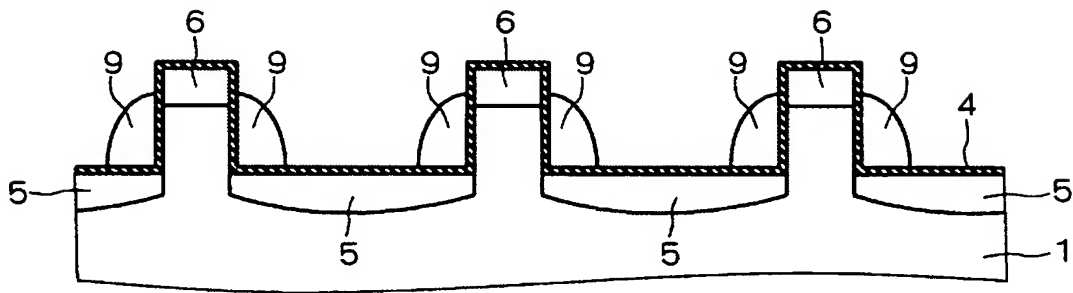
(B)



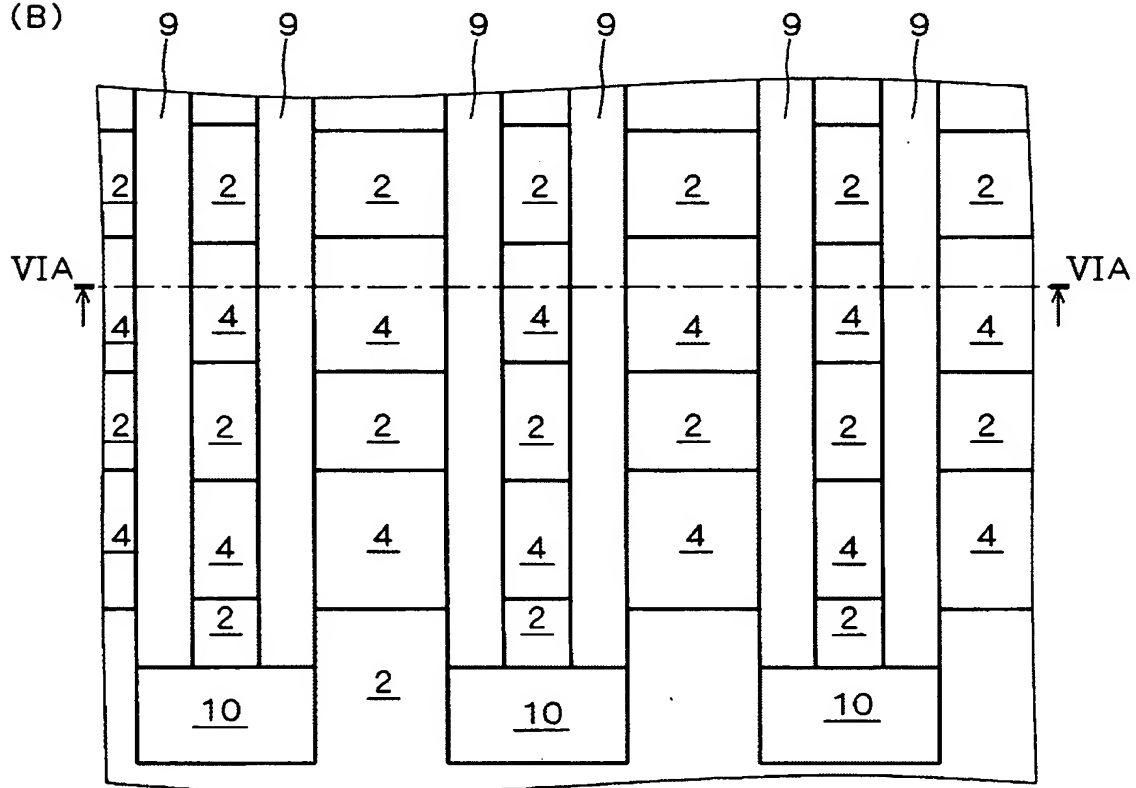
7 : ポリシリコン膜 8 : フォトリソグ

【図 6】

(A)



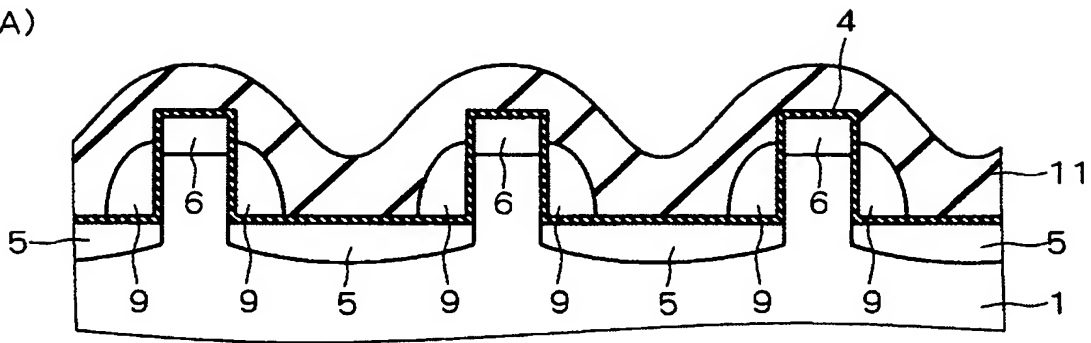
(B)



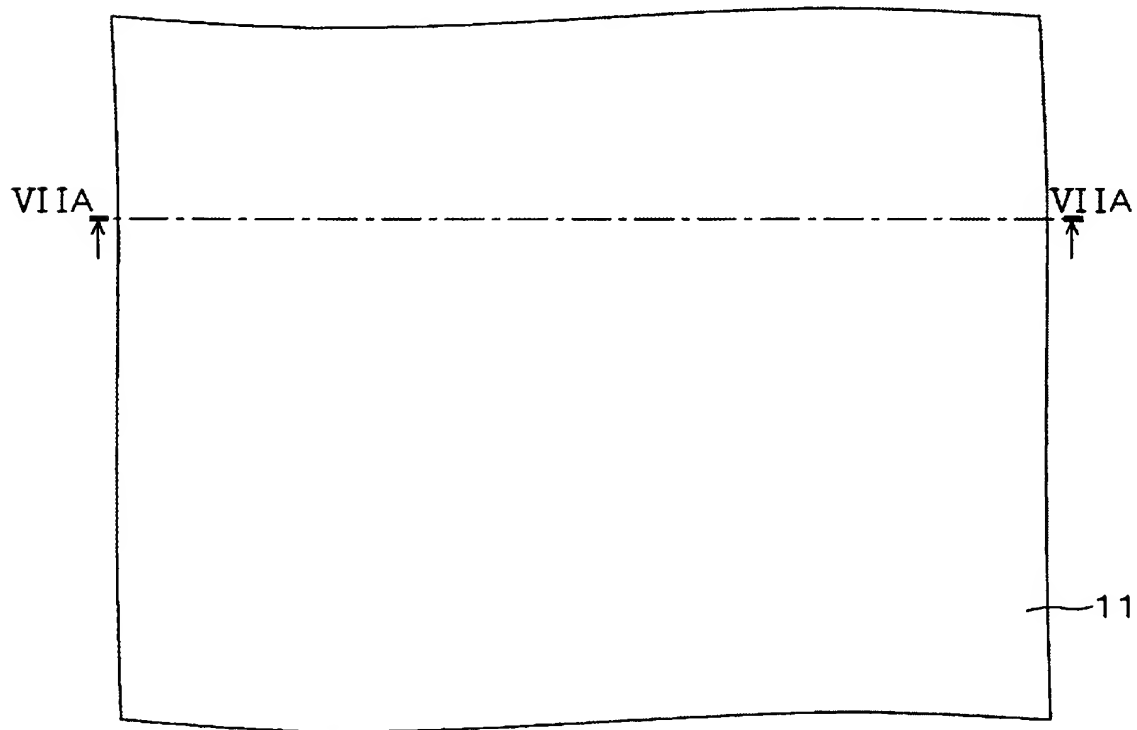
9, 10 : ポリシリコン膜

【図 7】

(A)



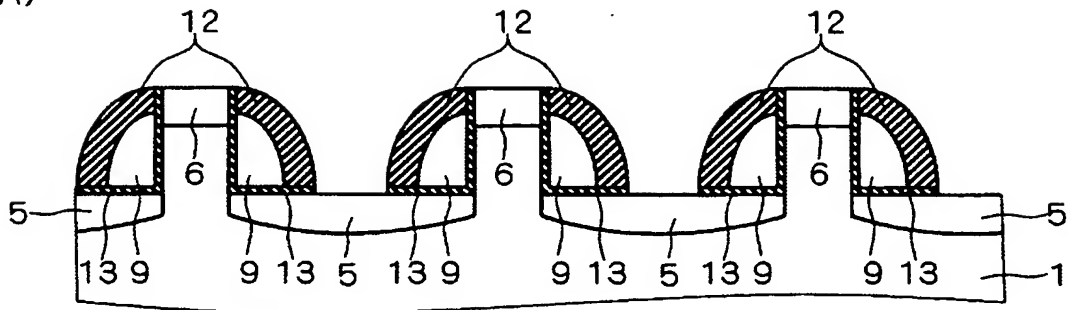
(B)



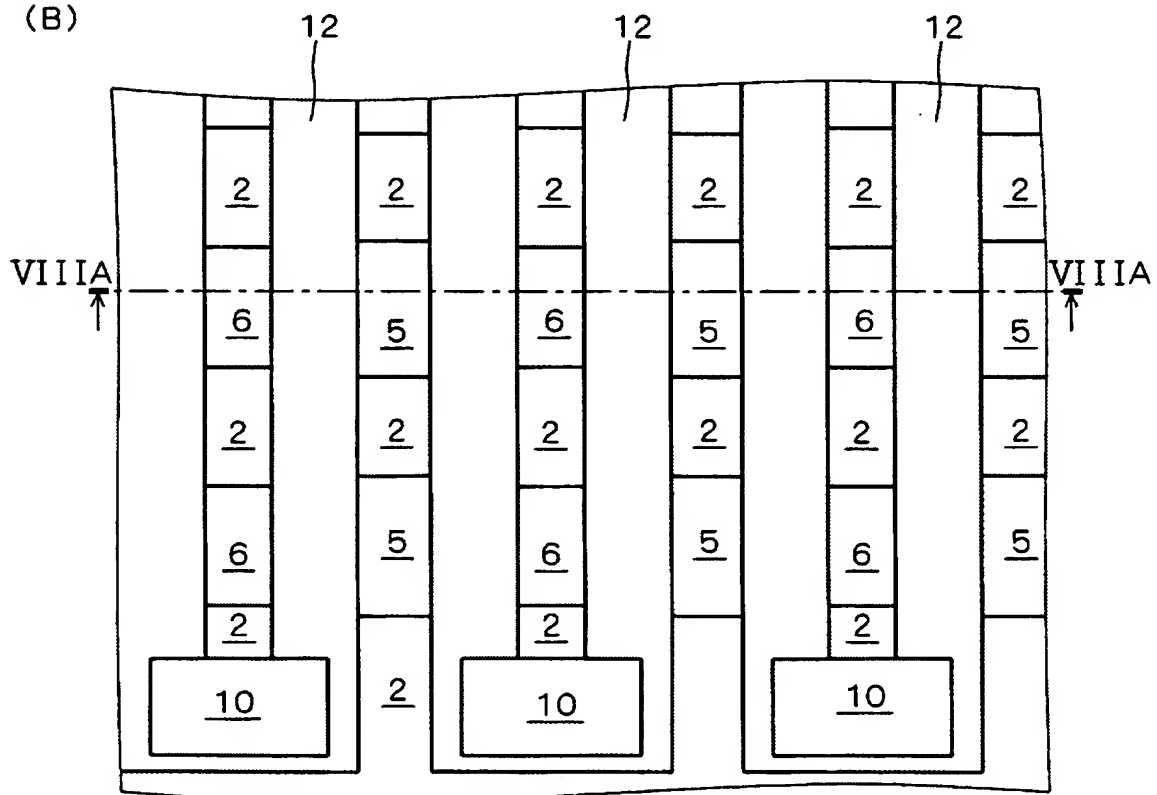
11 : シリコン窒化膜

【図 8】

(A)



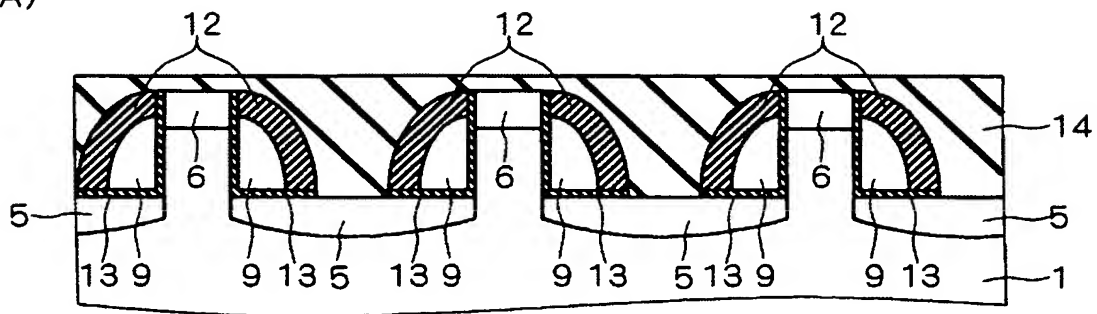
(B)



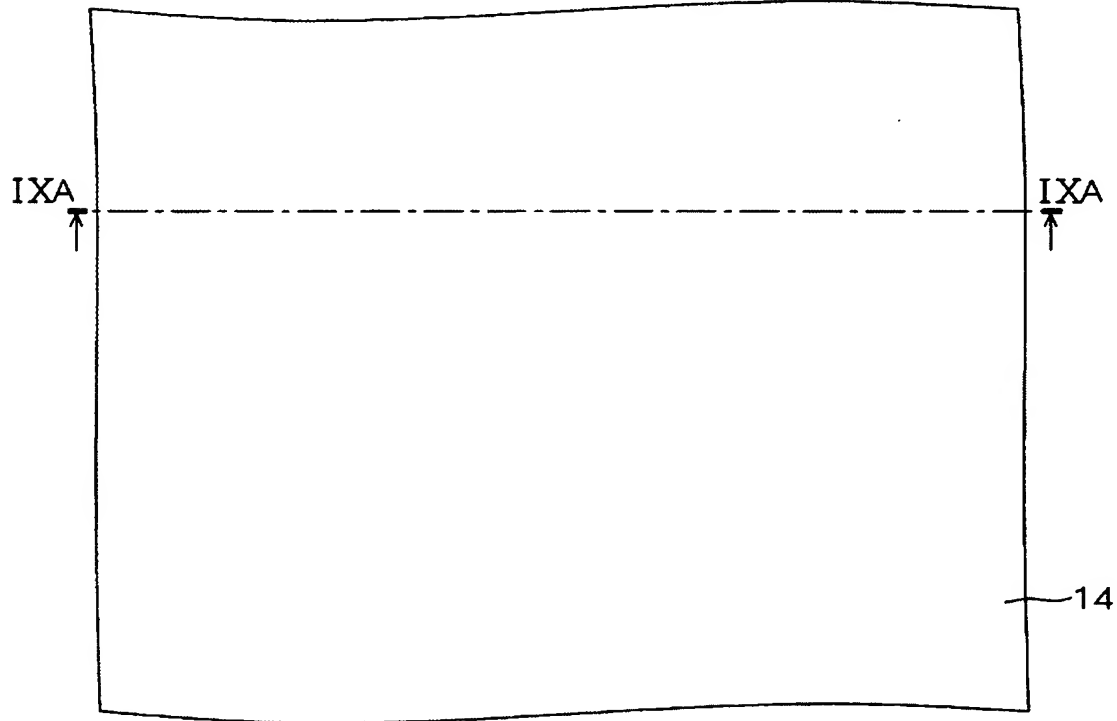
12 : サイドウォール 13 : シリコン酸化膜

【図 9】

(A)



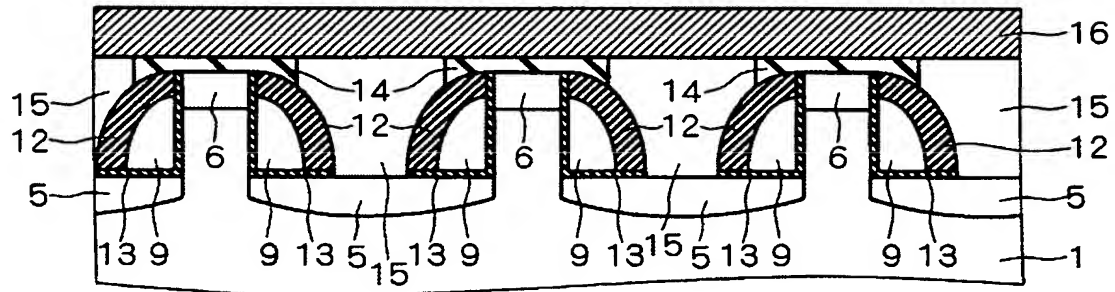
(B)



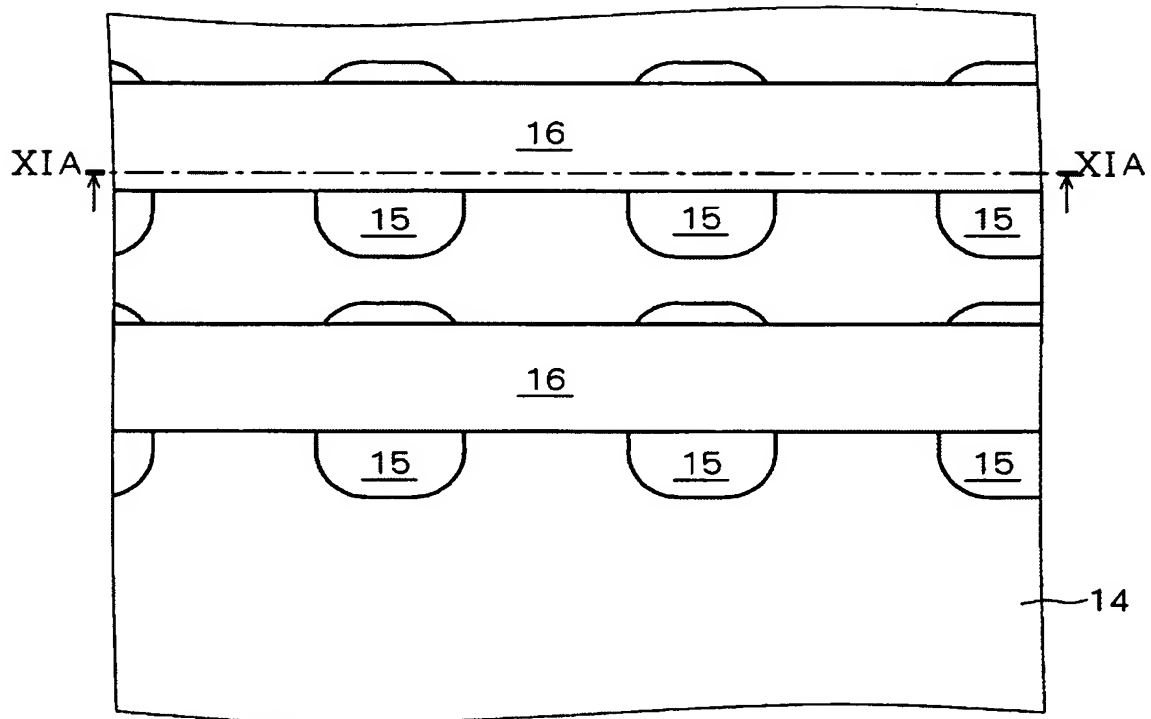
1 4 : シリコン酸化膜

【図 11】

(A)



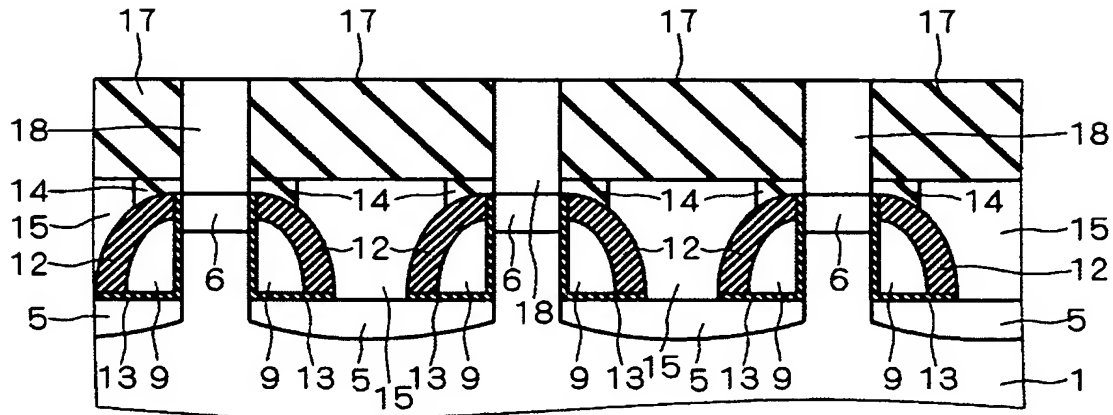
(B)



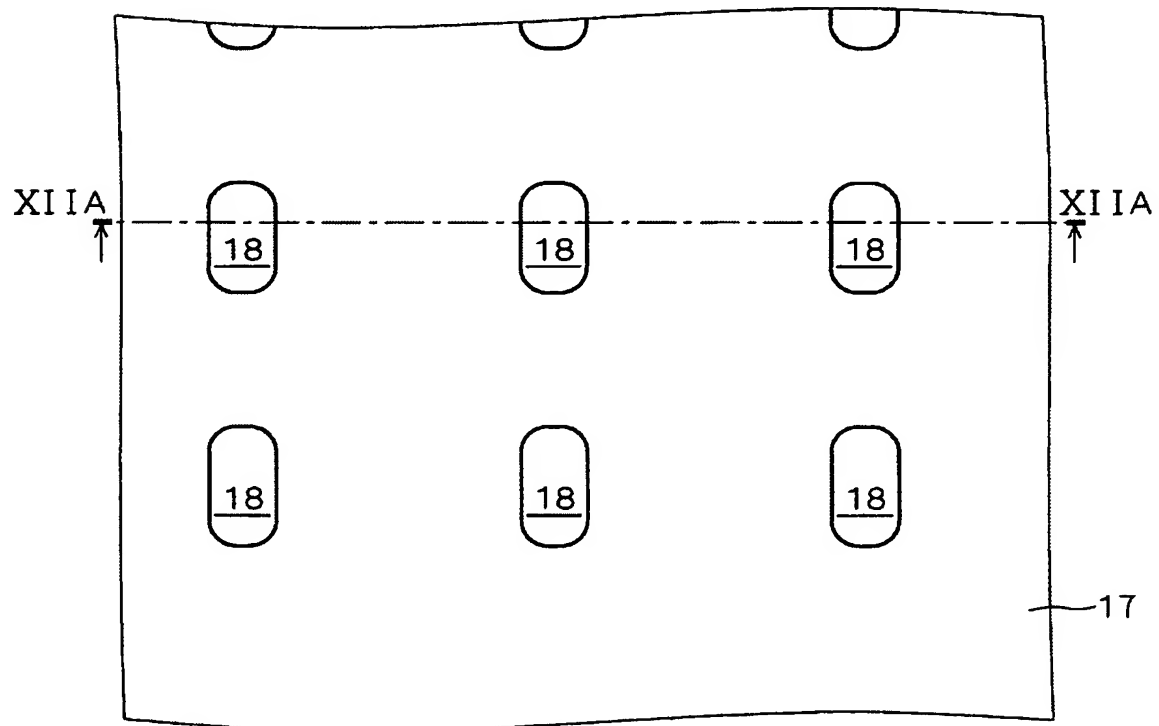
16 : ビットライン

【図 1 2】

(A)



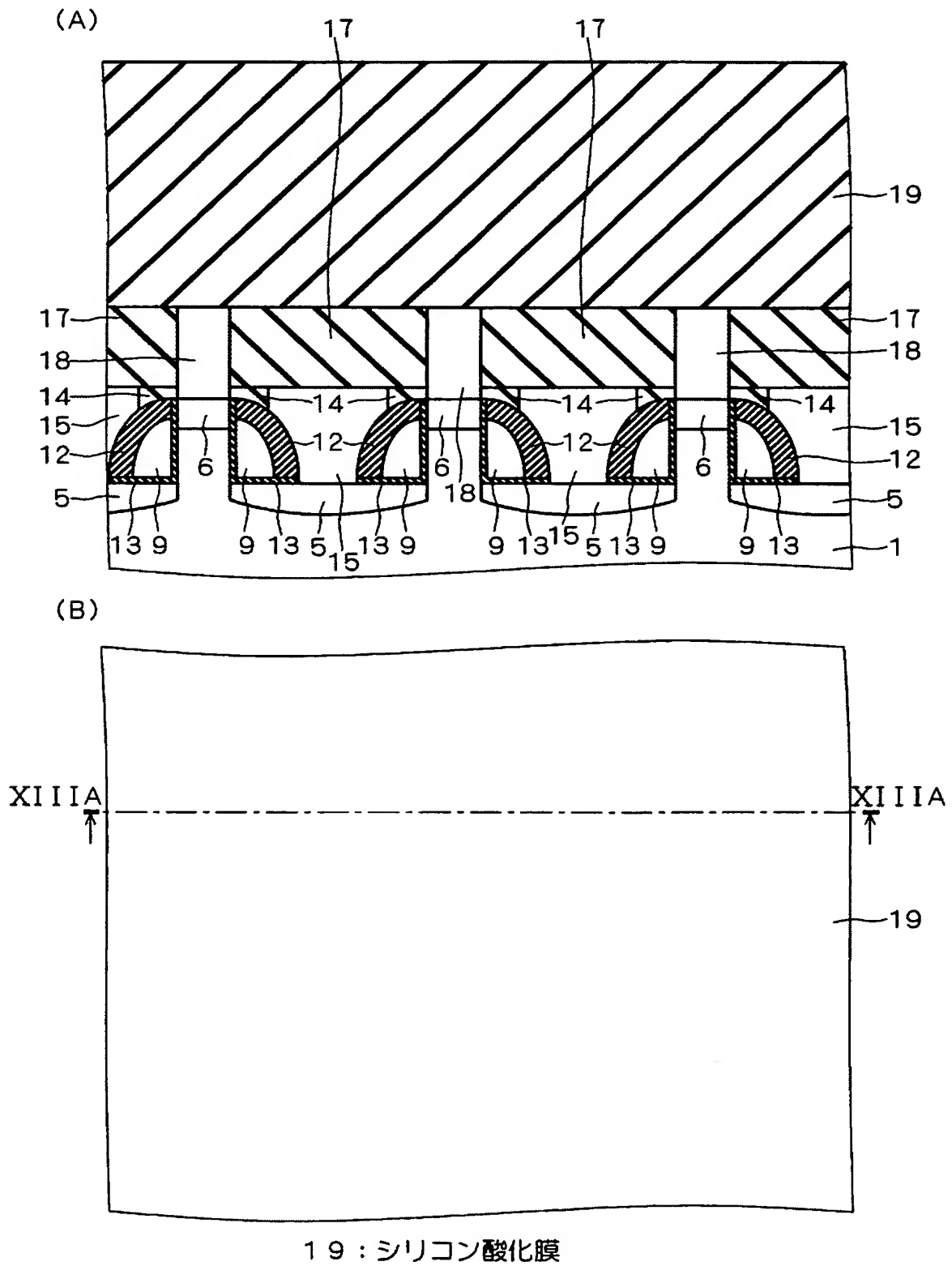
(B)



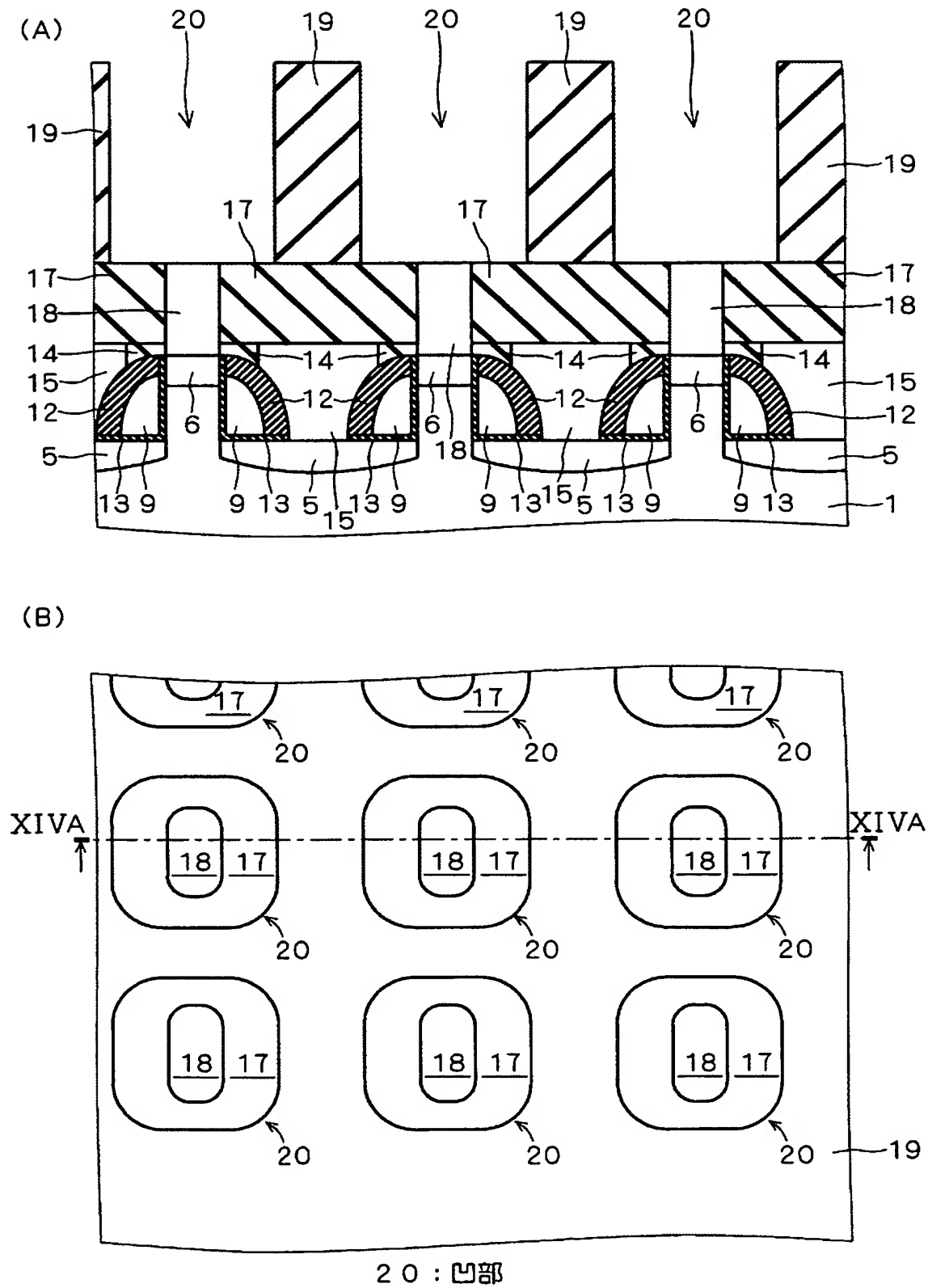
17 : シリコン酸化膜

18 : コンタクトプラグ

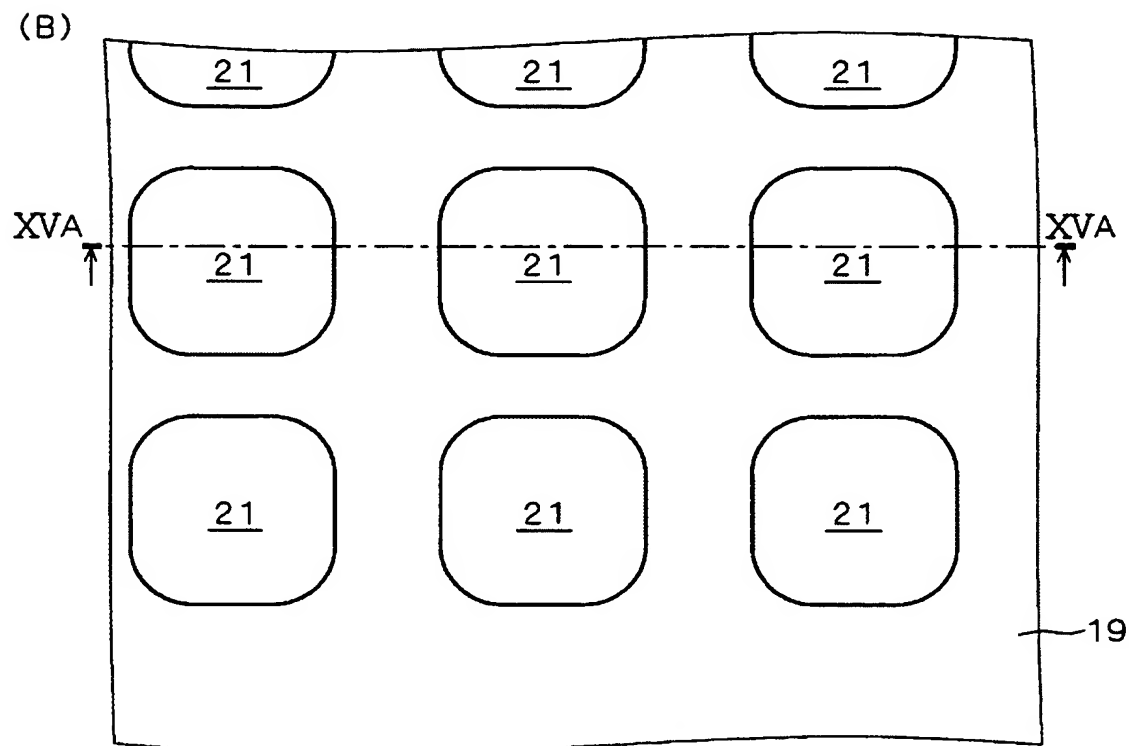
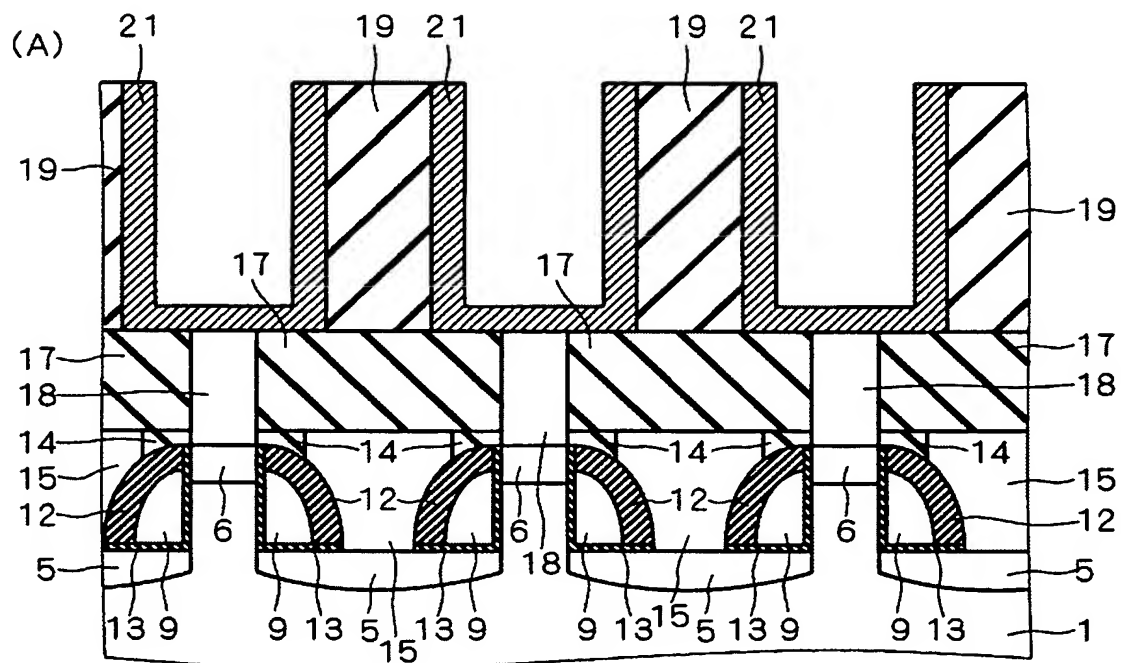
【図13】



【図14】

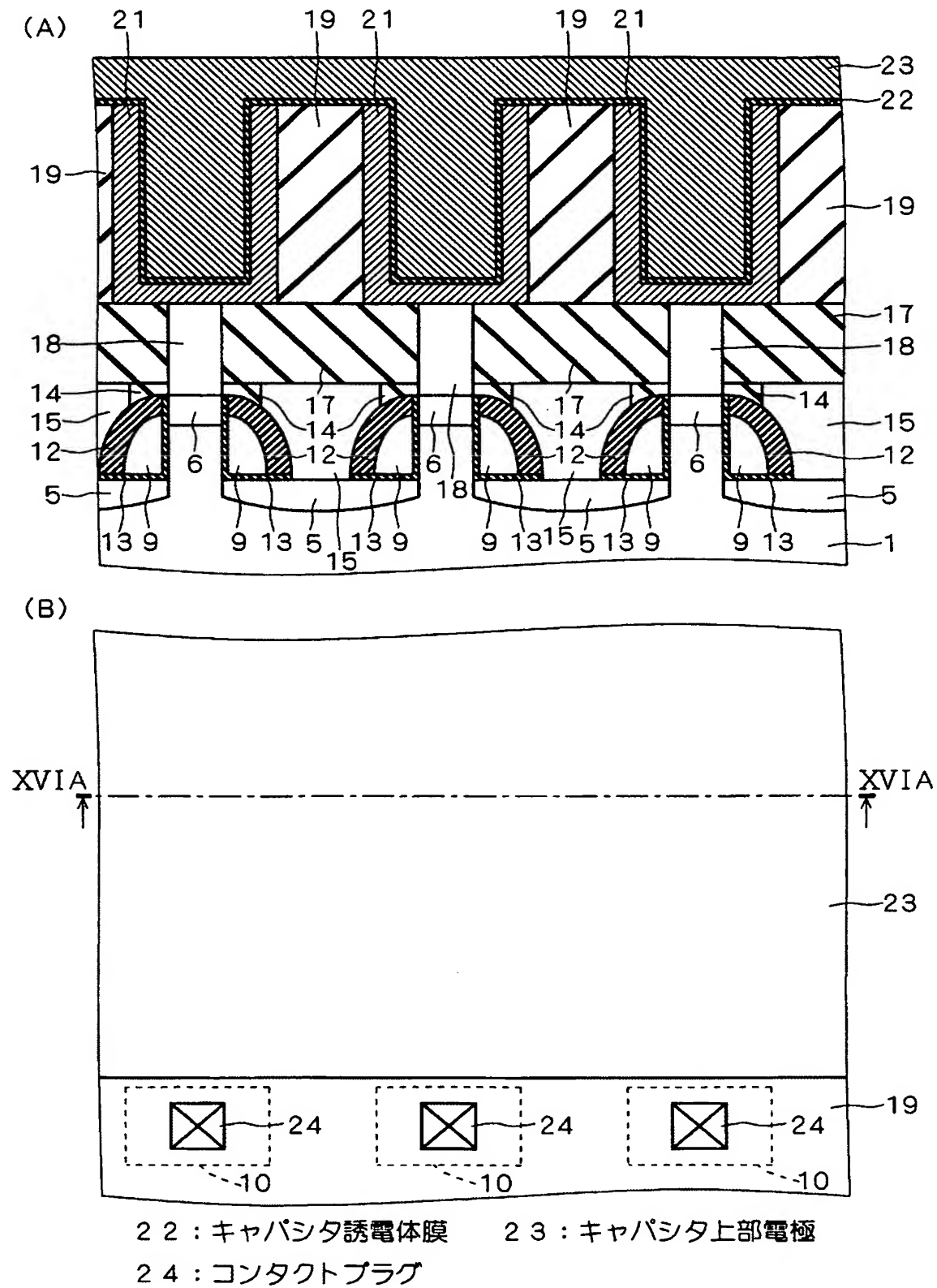


【図15】



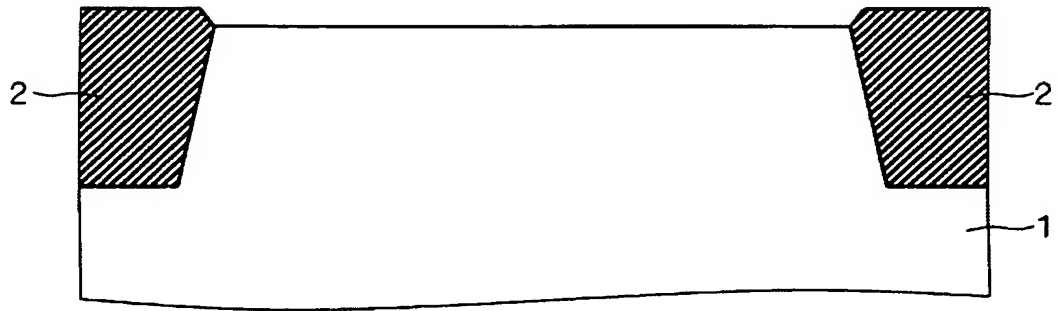
21 : キャパシタ下部電極

【図16】

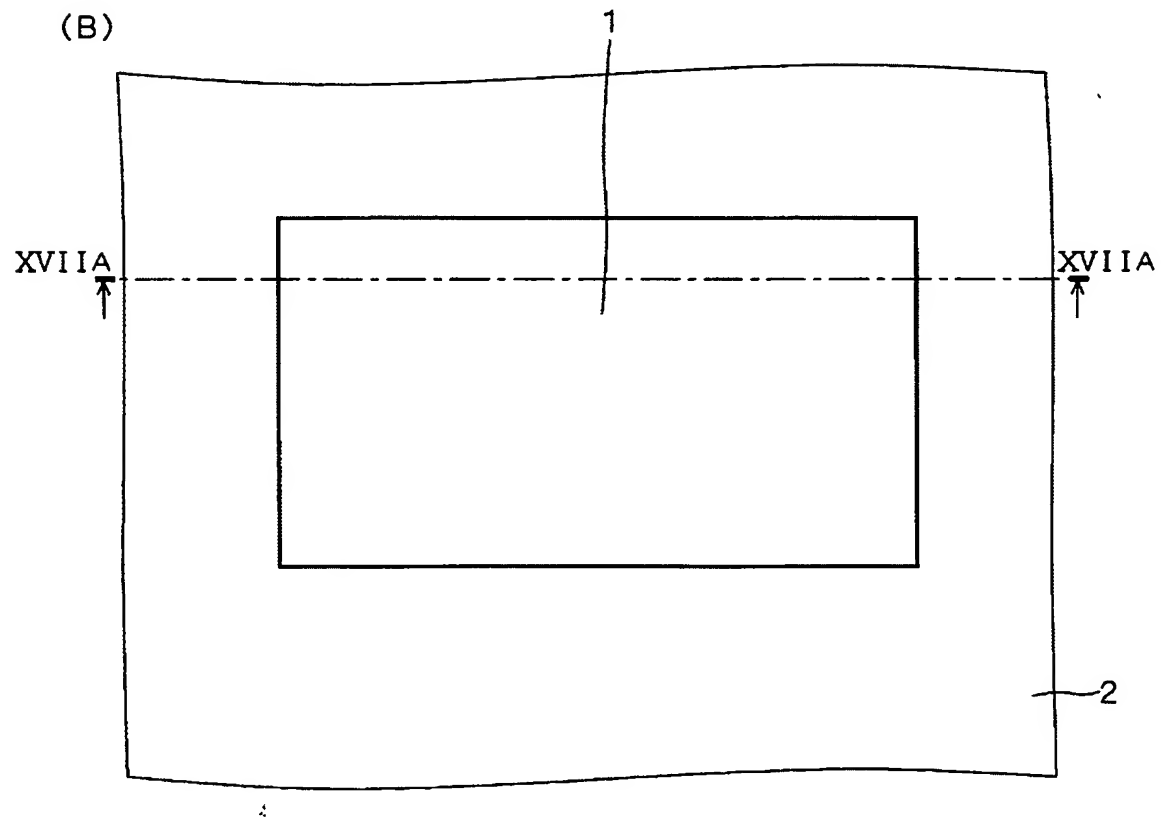


【図 1 7】

(A)

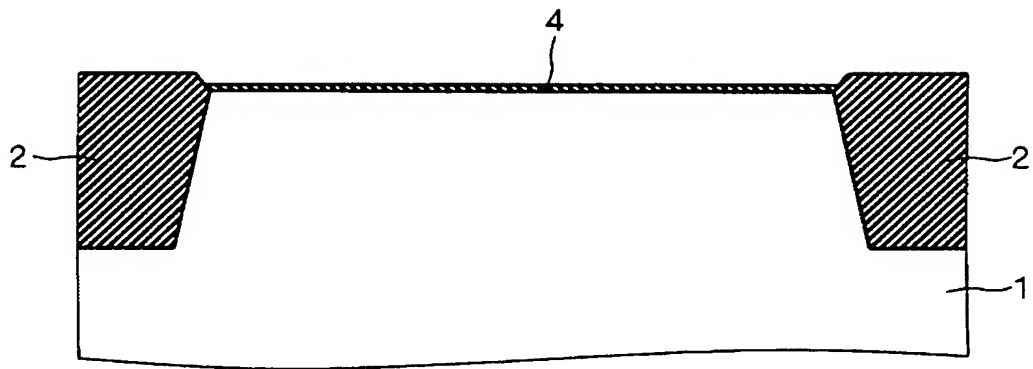


(B)

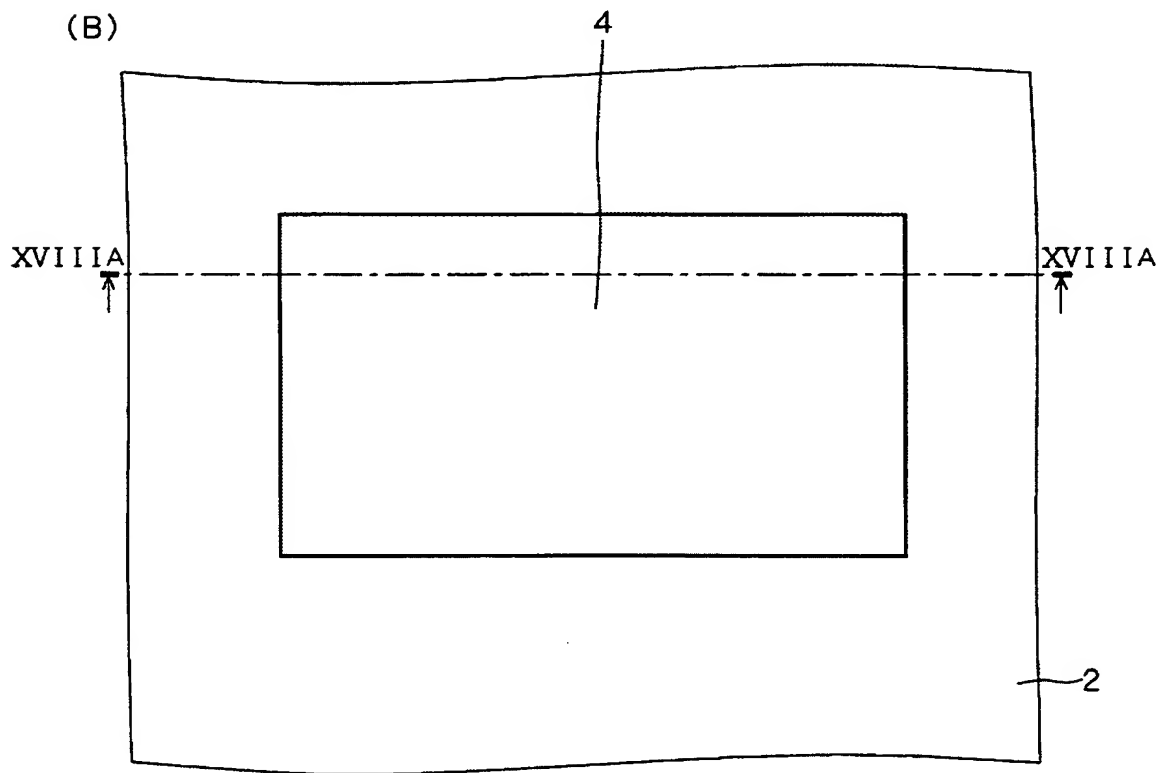


【図 1 8】

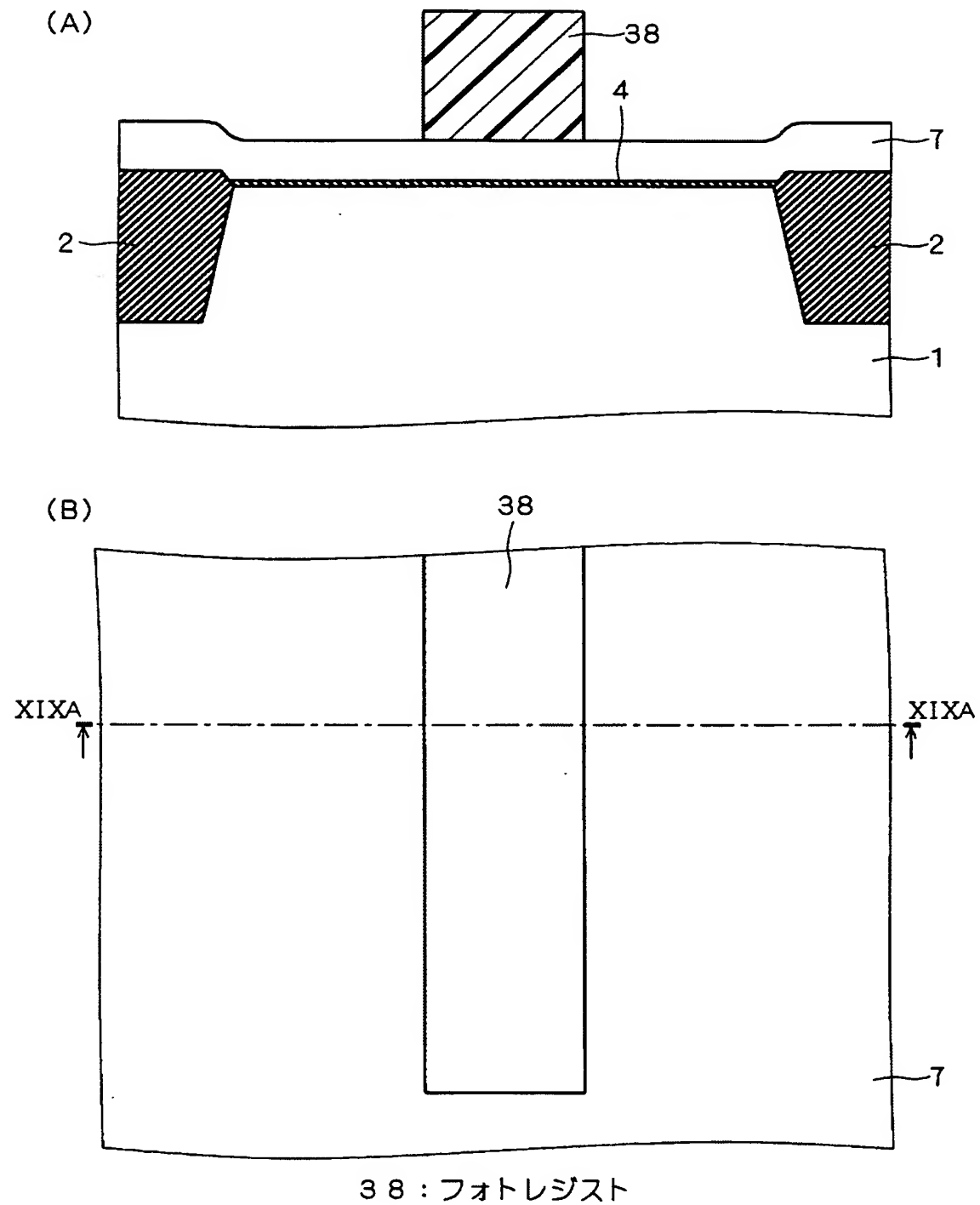
(A)



(B)

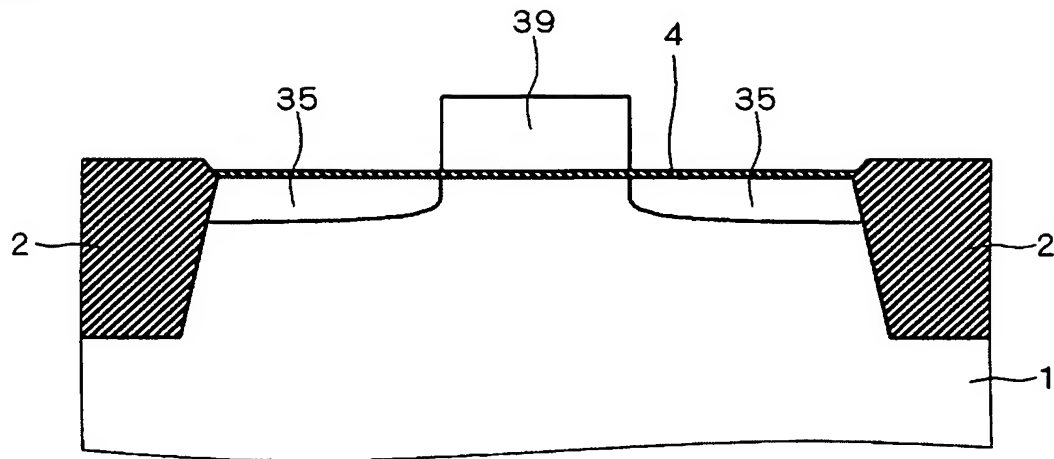


【図 19】

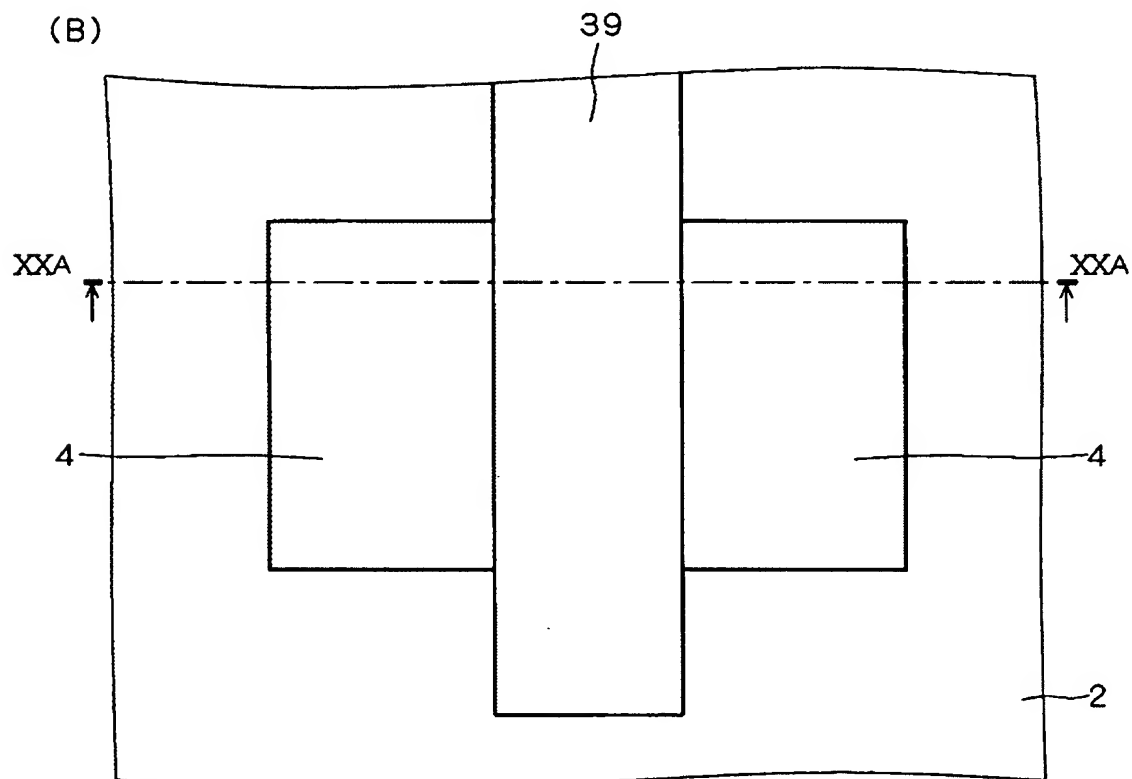


【図 20】

(A)



(B)

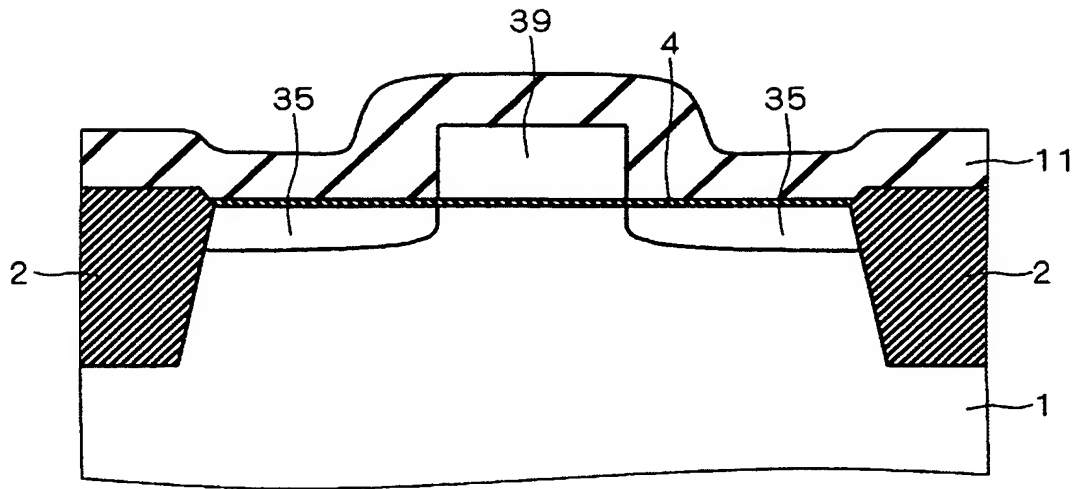


35:ソース・ドレイン領域

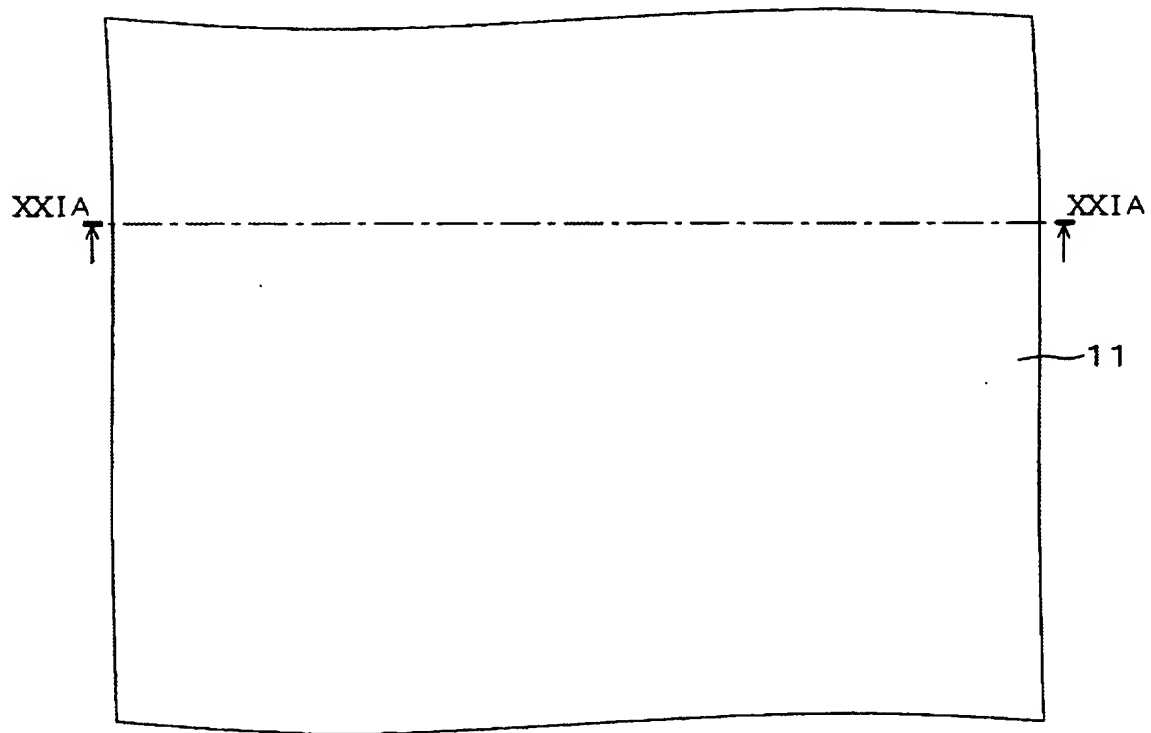
39:ポリシリコン膜

【図 21】

(A)

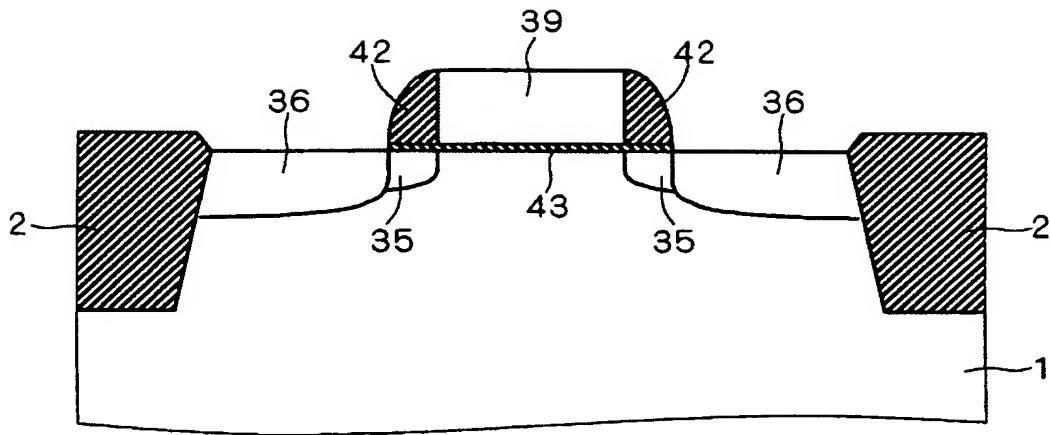


(B)

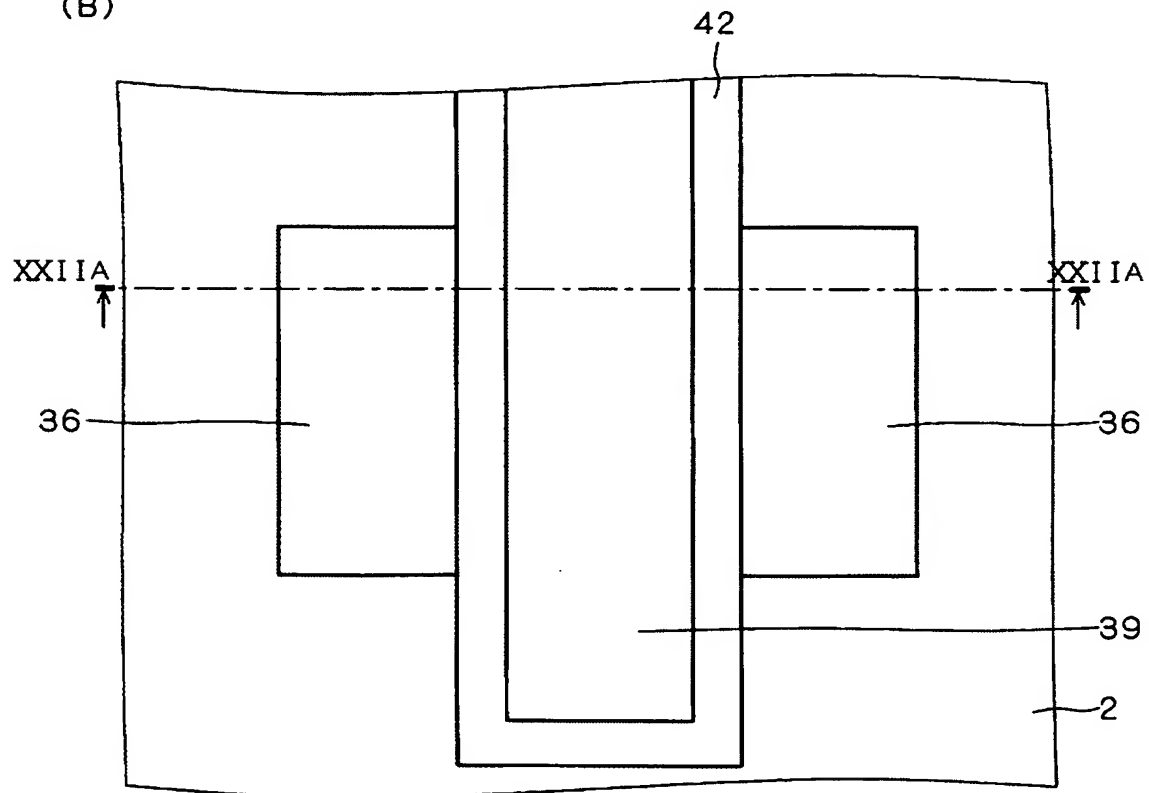


【図 22】

(A)



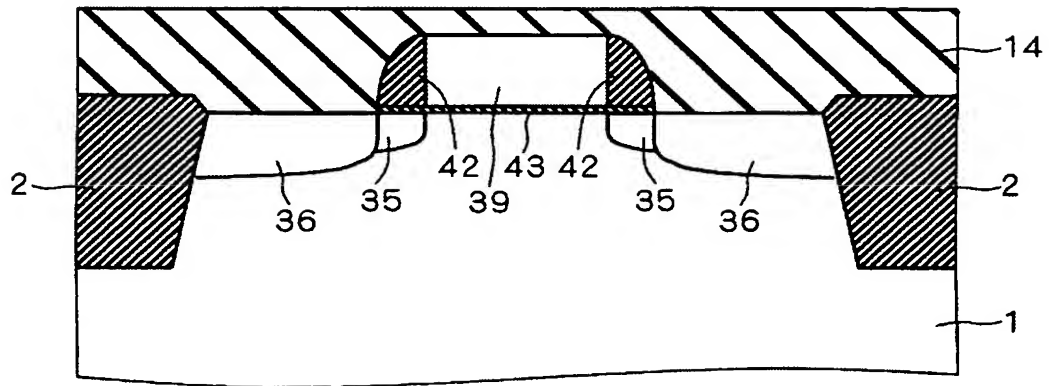
(B)



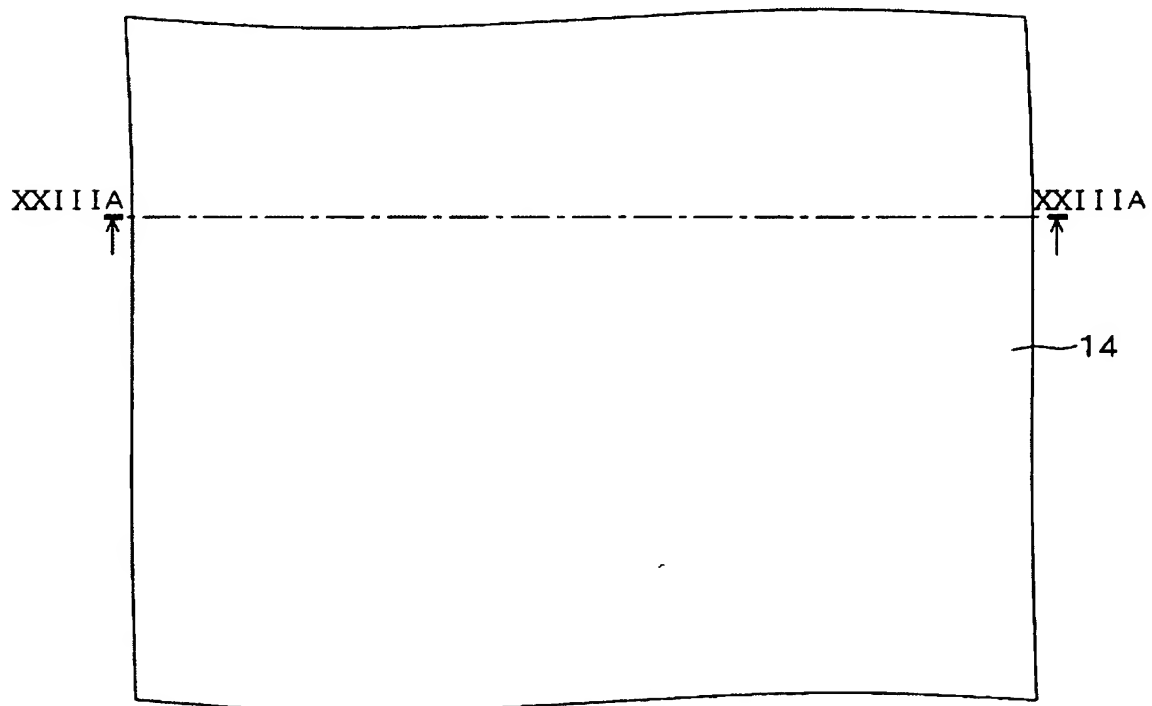
36 : ソース・ドレイン領域 43 : シリコン酸化膜
42 : サイドウォール

【図 2 3】

(A)

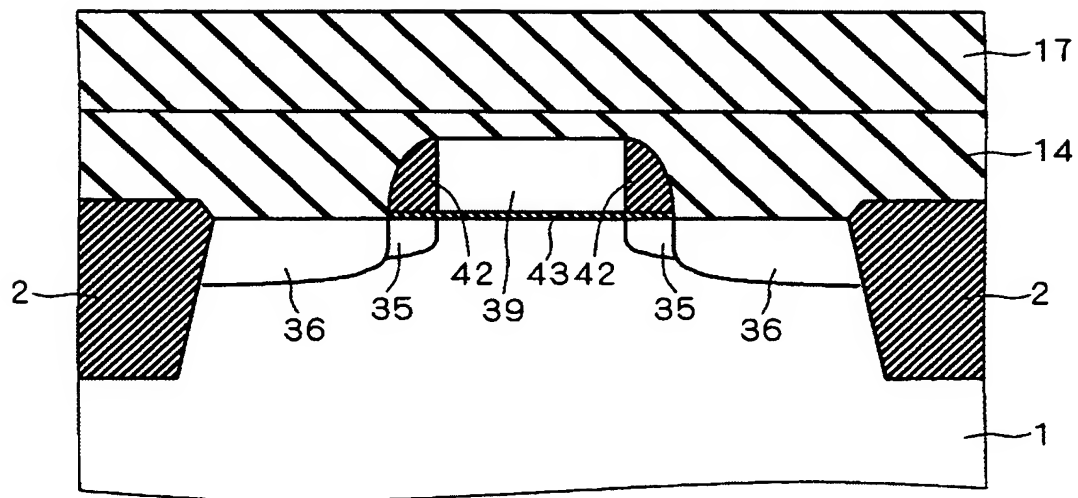


(B)

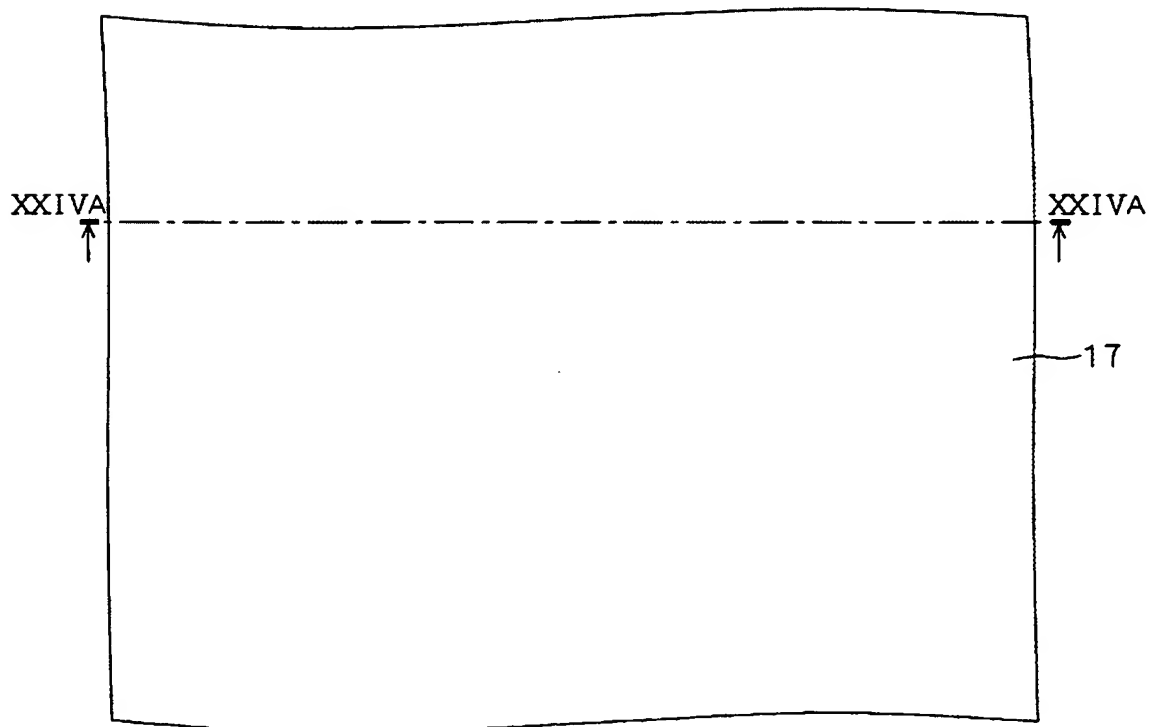


【図 2 4】

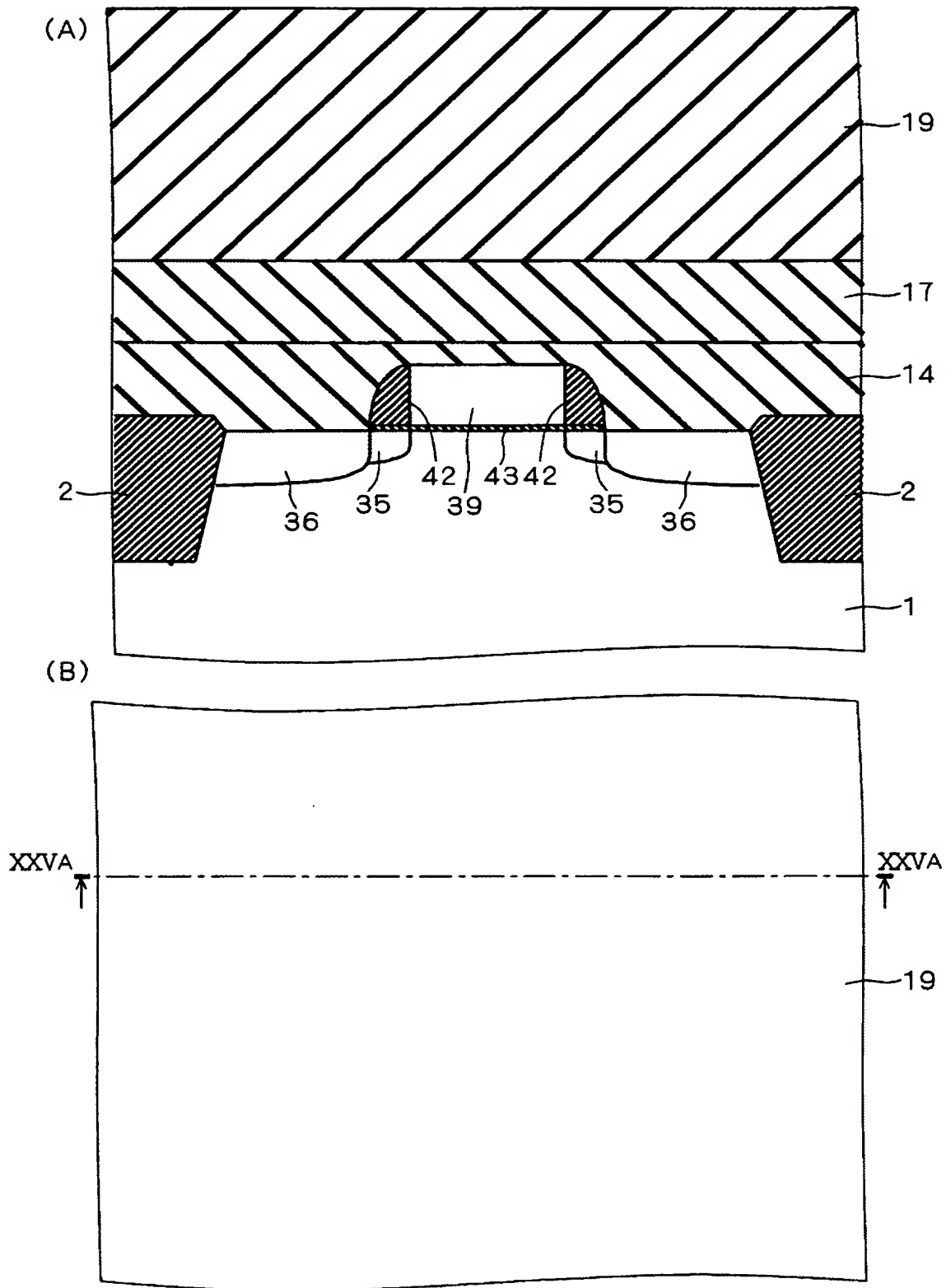
(A)



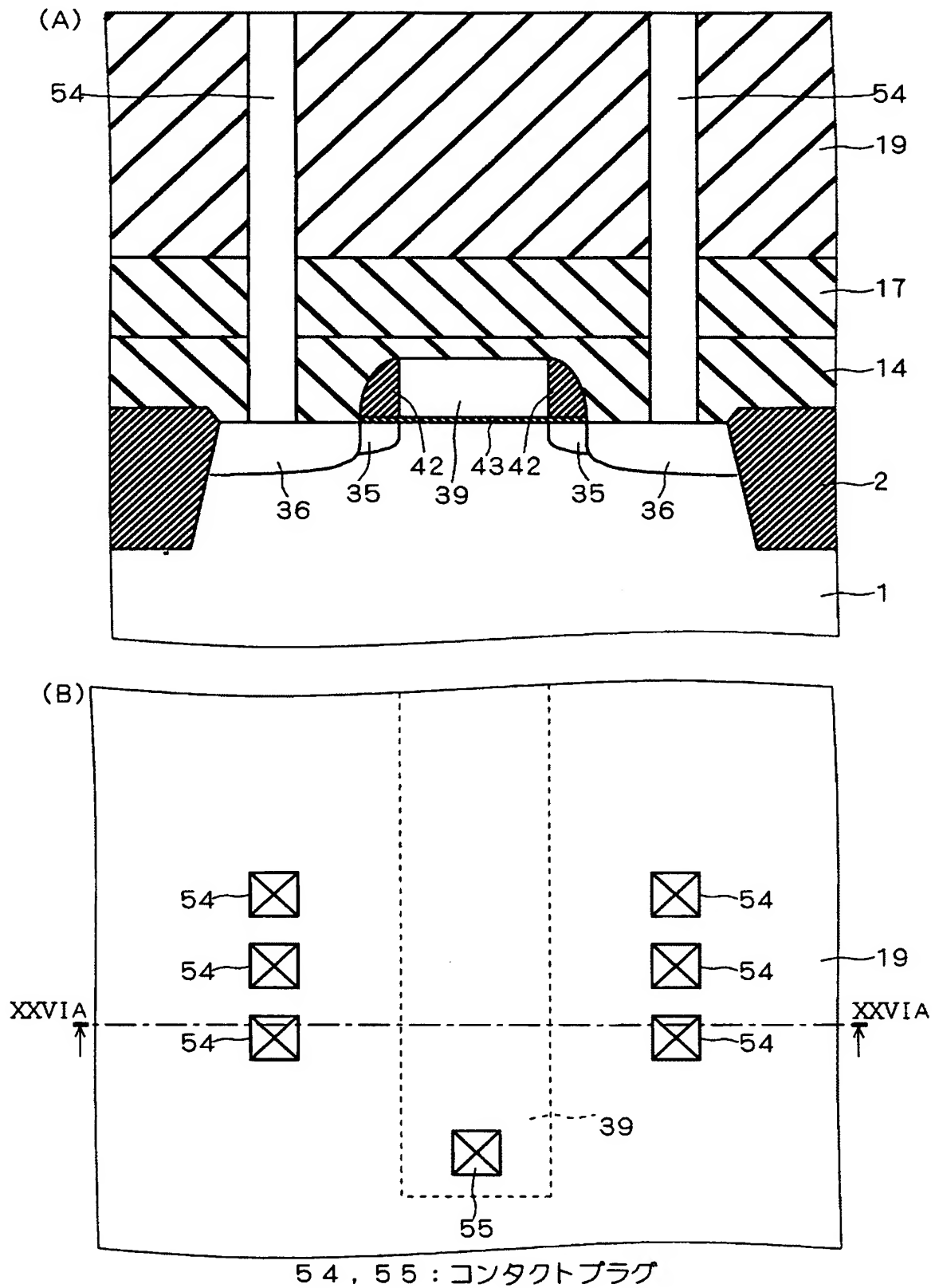
(B)



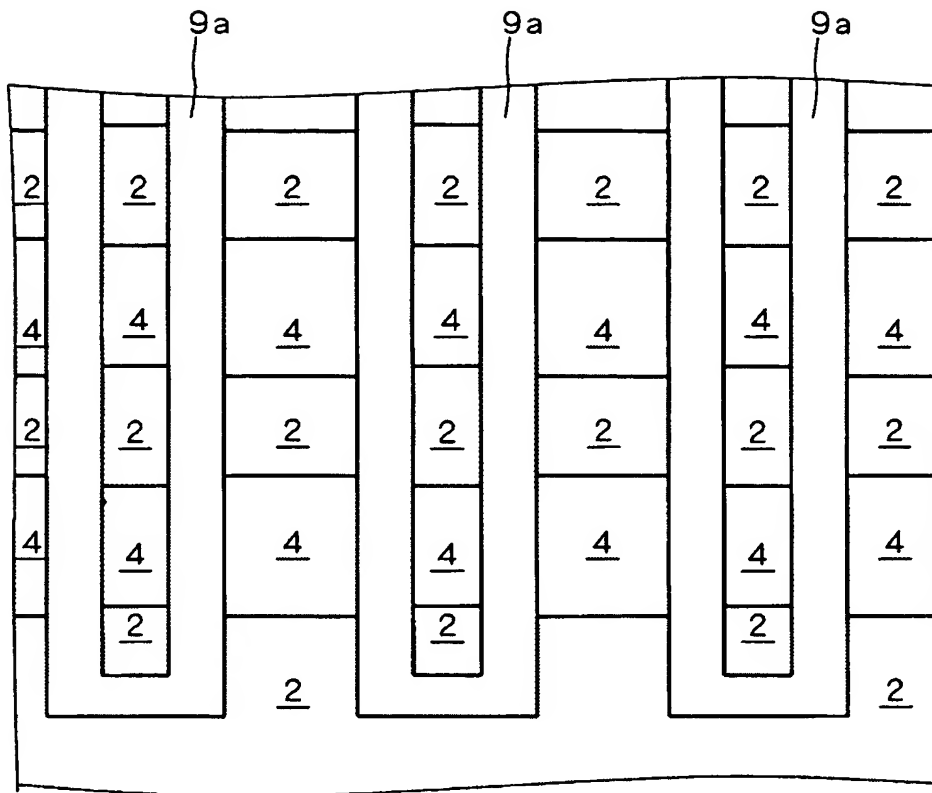
【図 25】



【図 26】

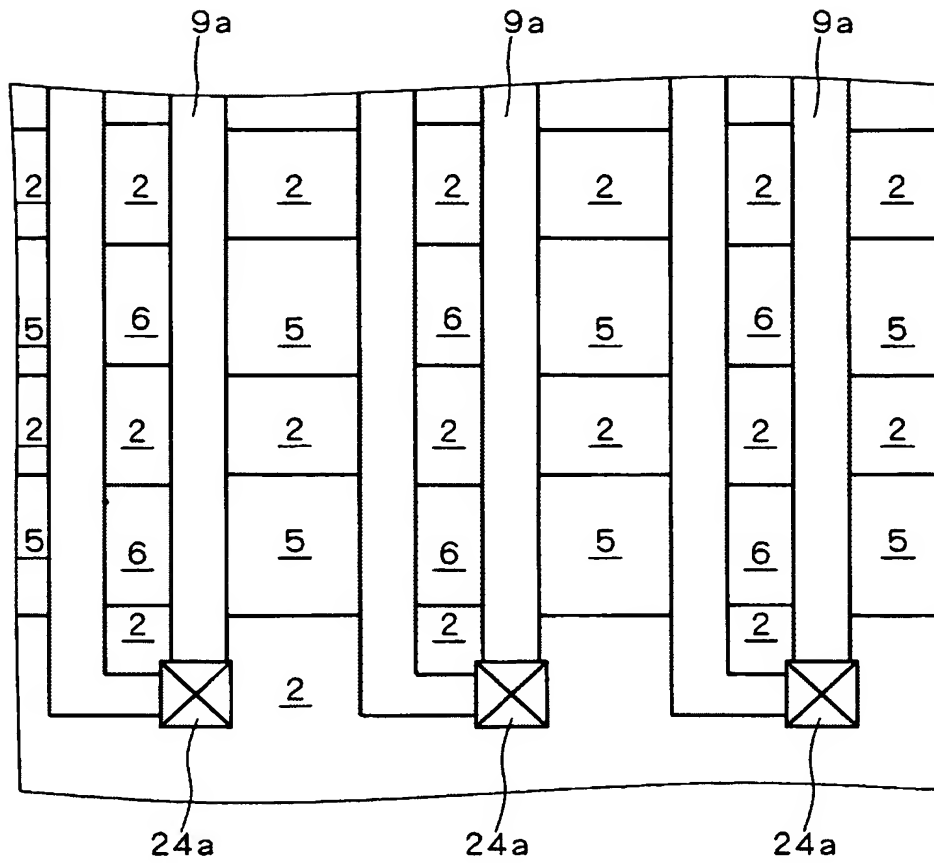


【図 2 7】



9 a : ポリシリコン膜

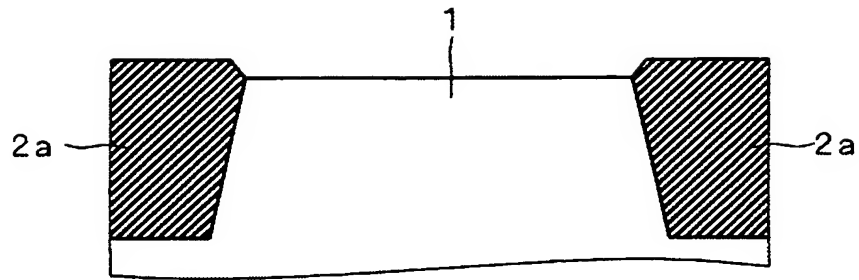
【圖 28】



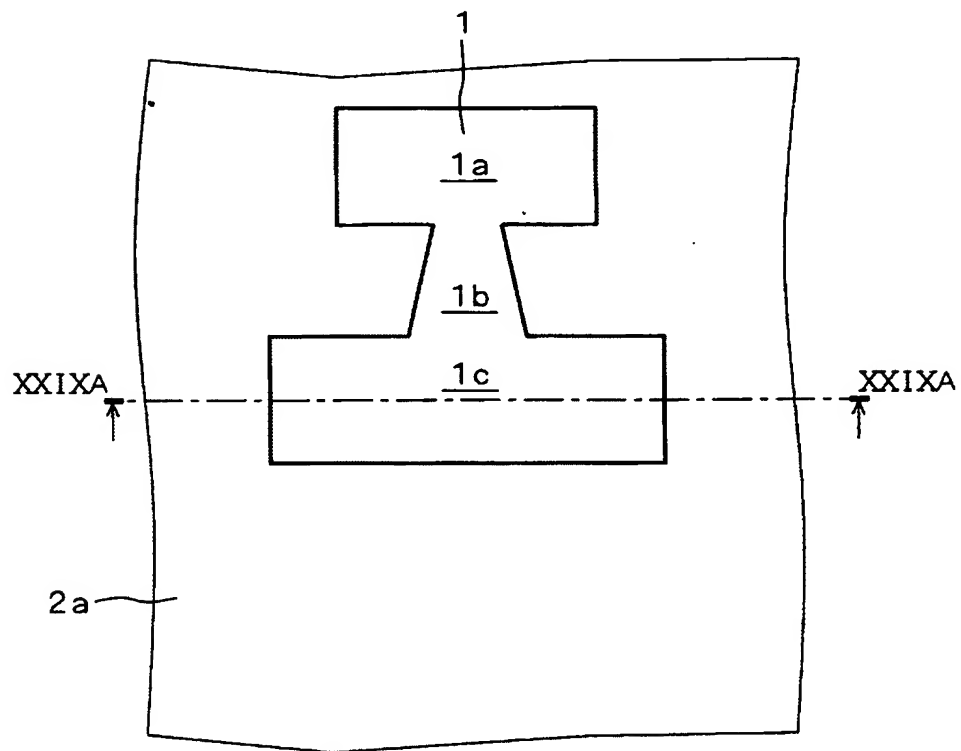
24 a : コンタクトプラグ

【図 29】

(A)



(B)



1 a : 第 1 部分

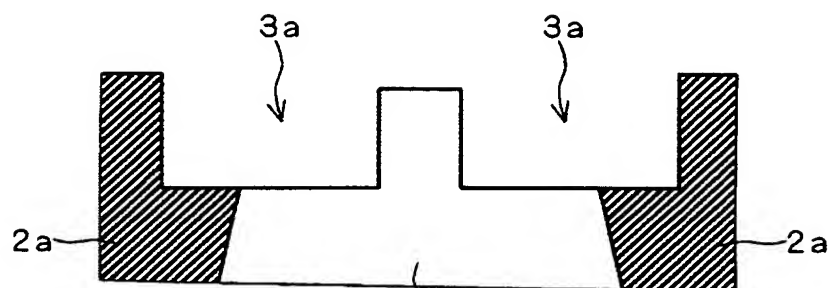
1 b : 第 2 部分

1 c : 第 3 部分

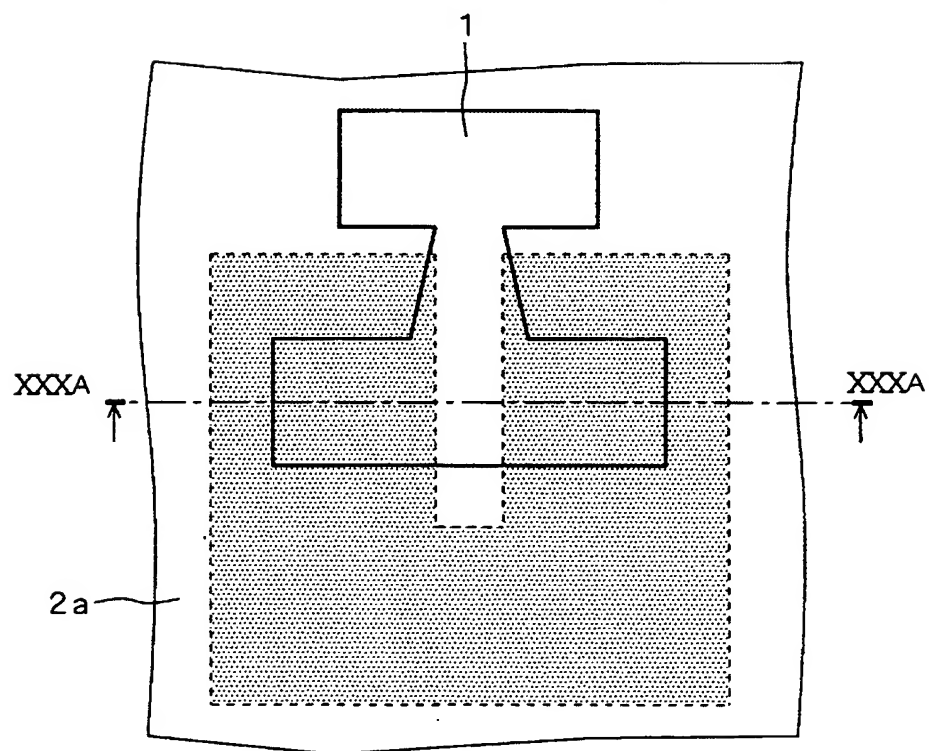
2 a : 素子分離絶縁膜

【図 30】

(A)



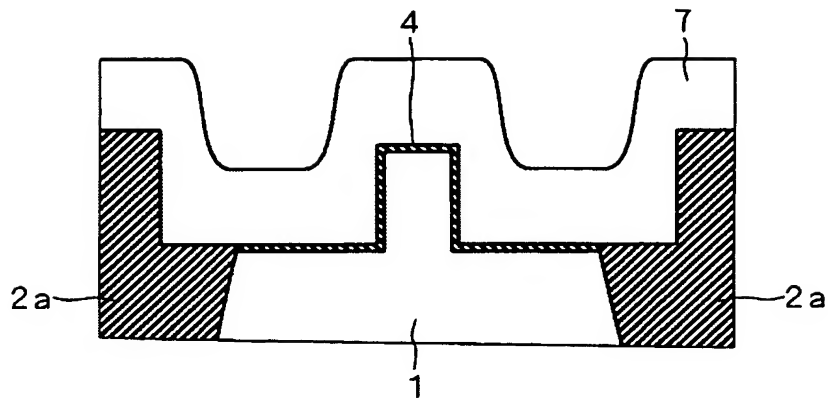
(B)



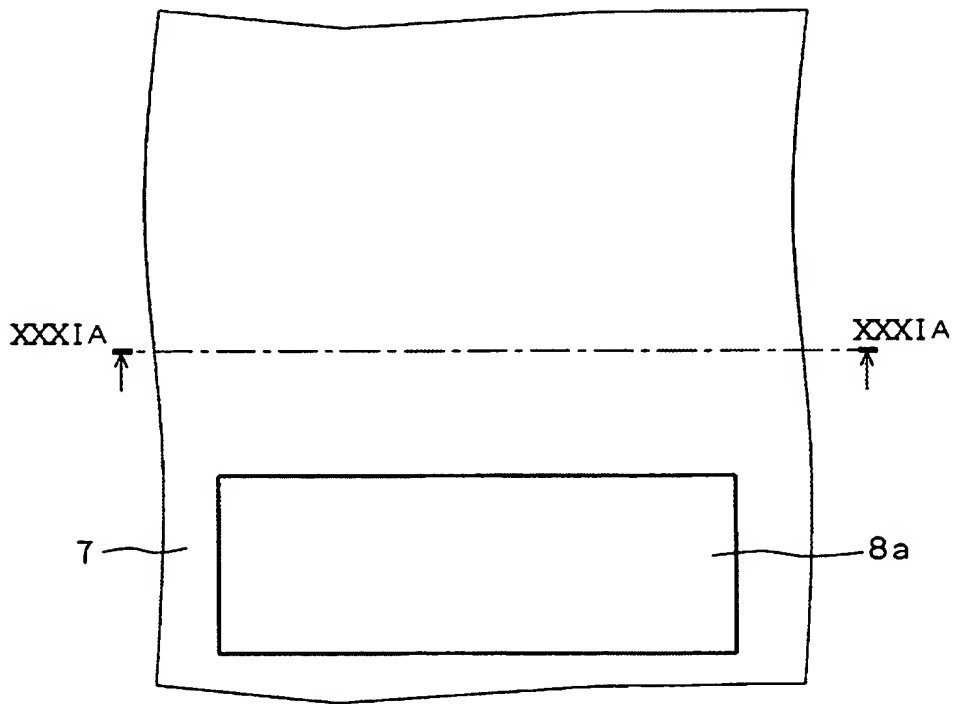
3a : 凹部

【図 31】

(A)



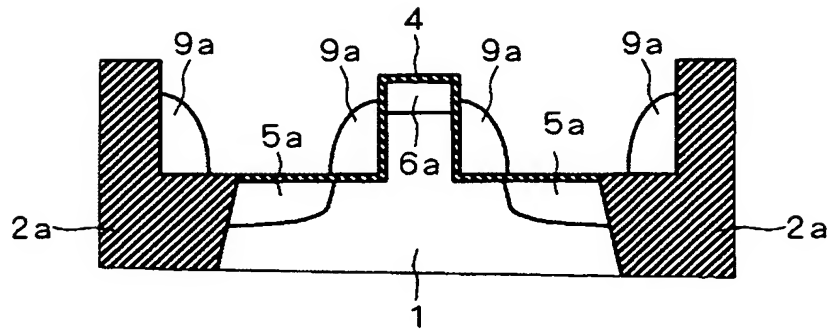
(B)



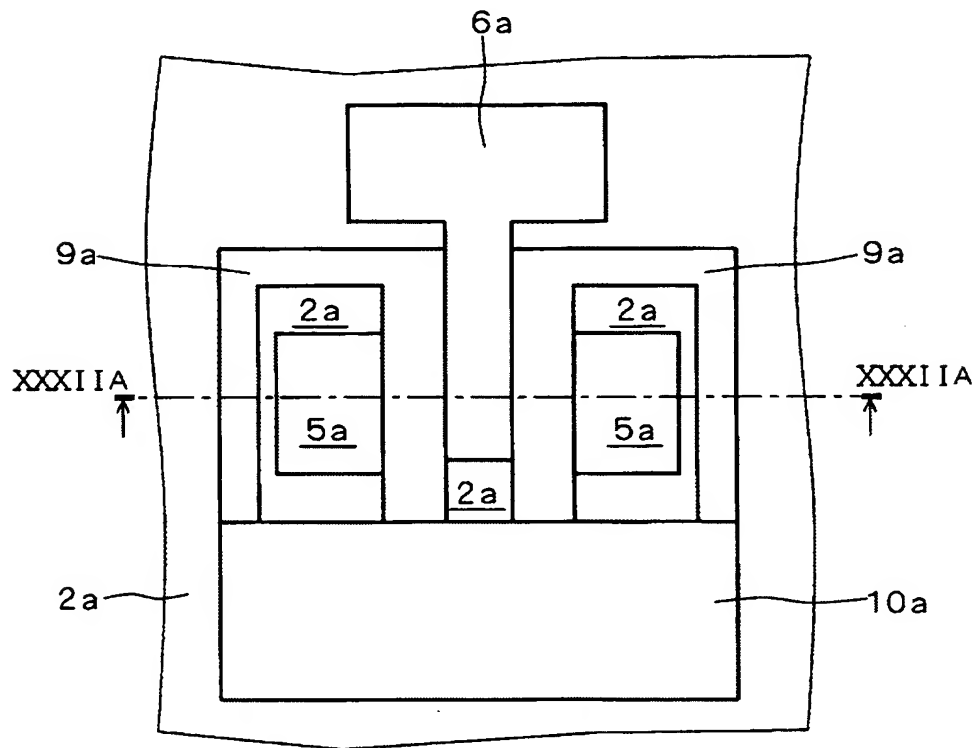
8a : フォトリソグ

【図 3 2】

(A)



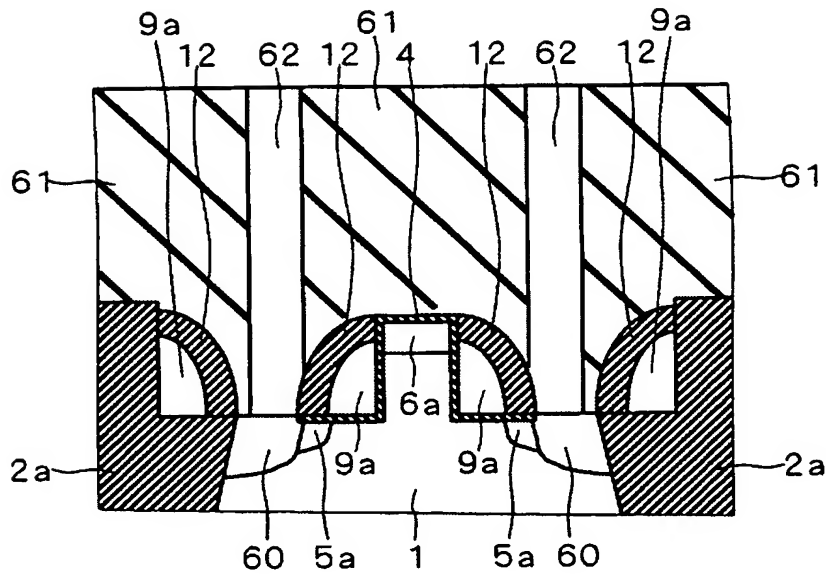
(B)



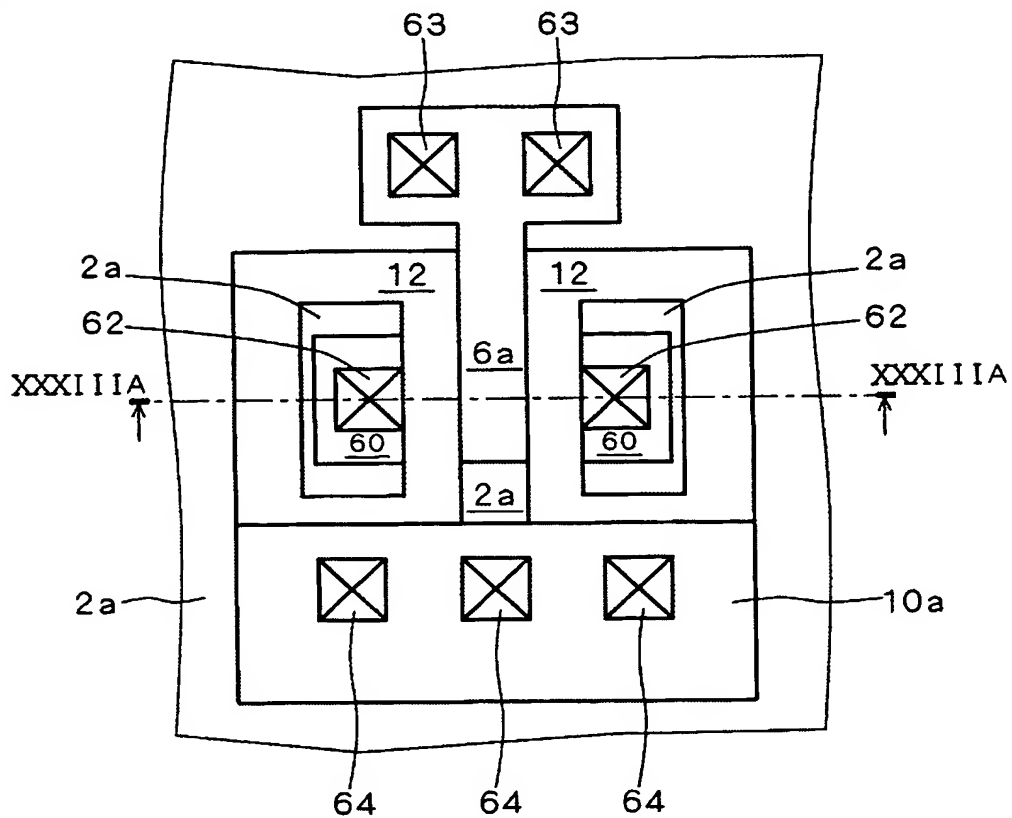
5a, 6a : ソース・ドレイン領域
9a, 10a : ポリシリコン膜

【図 33】

(A)

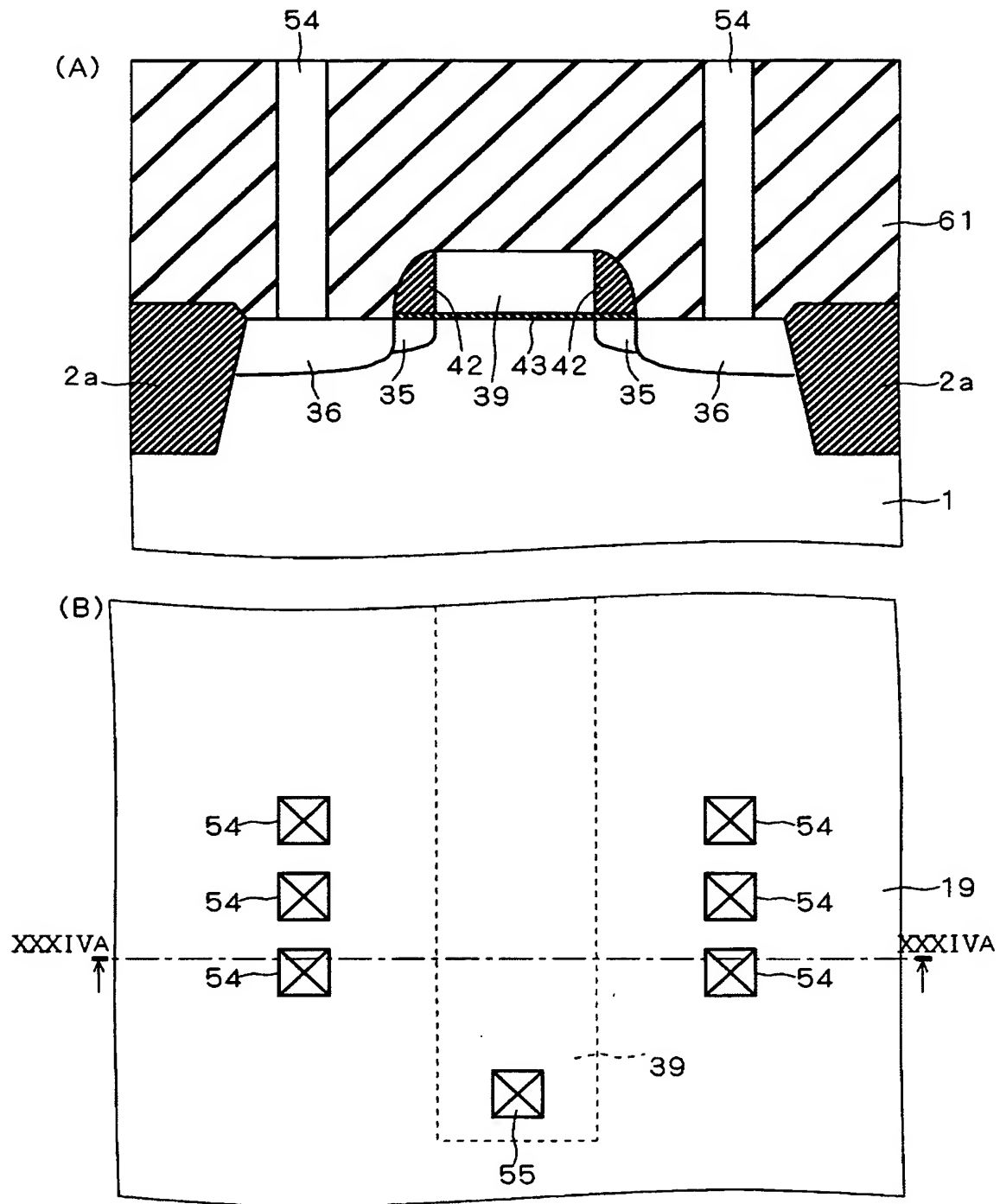


(B)



60 : ソース・ドレイン領域 61 : シリコン酸化膜
62 ~ 64 : コンタクトプラグ

【図 34】



【書類名】 要約書

【要約】

【課題】 ゲート電極に接続されるコンタクトプラグとソース・ドレイン領域とが電氣的にショートすることを回避し得る、半導体装置及びその製造方法を得る。

【解決手段】 フォトレジスト 8 で覆われることによってエッチングされなかった部分のポリシリコン膜 7 として、平板型のポリシリコン膜 1 0 が形成される。ポリシリコン膜 1 0 は、素子分離絶縁膜 2 の第 1 部分上に形成されている。また、ポリシリコン膜 1 0 は、ポリシリコン膜 9 に接続されている。コンタクトプラグ 2 4 は、ポリシリコン膜 1 0 上に形成される。その結果、コンタクトプラグ 2 4 とドレイン領域 5 及びソース領域 6 とが電氣的にショートすることを回避できる。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社